



## 【特許請求の範囲】

【請求項1】入力された画像信号を画像フレーム単位に圧縮し、再生された信号を伸長する画像圧縮伸長系と、前記画像圧縮伸長系で圧縮された1フレーム分の信号をNトラックに分割してトラック単位に記録媒体に記録し、前記記録媒体を再生して前記画像圧縮伸長系に出力する信号処理系からなるディジタル信号記録再生装置において、

前記画像圧縮伸長系は、画像信号を入力する入力手段と、前記入力手段で入力した画像信号を処理し、情報圧縮を行なう画像圧縮手段と、前記画像圧縮手段で圧縮された信号及び前記画像フレームの先頭を示す記録フレーム同期信号を記録信号クロックとともに前記信号処理系に出力する記録出力インターフェース手段と、前記信号処理系から出力される信号を入力する再生入力インターフェース手段と、前記再生入力インターフェース手段で入力した信号を伸長する画像伸長手段と、前記画像伸長手段で伸長された伸長信号を出力する出力手段からなり、

前記信号処理系は、前記記録出力インターフェース手段から出力される信号及び前記記録フレーム同期信号を前記記録信号クロックとともにに入力し、入力した前記記録フレーム同期信号に同期した前記フレーム周期の $1/N$ の周期のトラック周期信号を生成する記録入力インターフェース手段と、前記トラック周期信号に従って前記記録入力インターフェース手段で入力された信号に誤り訂正用のパリティを附加する符号化手段と、前記トラック周期信号に従ったトラック番号を生成するトラック番号生成手段と、前記トラック周期信号に従って前記符号化手段でパリティが附加されたデータ及び前記トラック番号を記録媒体に記録する記録手段と、前記記録媒体をトラック単位に再生する再生手段と、前記再生手段で再生された信号より前記トラック番号を検出するトラック番号検出手段と、前記再生手段で再生された信号の誤り訂正を行なう復号手段と、前記検出されたトラック番号よりフレームの先頭を示す再生フレーム同期信号を生成するフレーム生成手段と、前記復号手段で訂正された信号と前記再生フレーム同期信号を再生信号クロックとともに前記画像圧縮伸長系に出力する再生出力インターフェース手段からなることを特徴とするディジタル信号記録再生装置。

【請求項2】請求項1において、前記記録出力インターフェース手段より出力される信号、又は前記再生出力インターフェース手段より出力される信号は、Lバイト（Lは自然数）+Aバイト（Aは0以上の整数で、固定長または可変長）で1通信ブロックを形成し、前記1フレームにおいて、M通信ブロック（Mは自然数）を前詰めで転送するディジタル信号記録再生装置。

【請求項3】請求項1または2において、前記記録出力インターフェース手段または前記再生出力インターフェ

ース手段は、前期通信ブロックの先頭を示すブロック同期信号を出力するディジタル信号記録再生装置。

【請求項4】第一のモードでは入力された画像信号を画像フレームあたりKバイト（Kは自然数）に圧縮し、第二のモードでは入力された画像信号を画像フレームあたり $2 \times K$ バイトに圧縮し、再生された信号を伸長する画像圧縮伸長系と、前記第一のモードでは前記画像圧縮伸長系で圧縮された1フレーム分の信号を、1系統、Nトラック（Nは自然数）に分割してトラック単位に記録媒体に記録し、前記第二のモードでは前記画像圧縮伸長系で圧縮された1フレーム分の信号を、2系統、 $2 \times N$ トラックに分割してトラック単位に記録媒体に記録し、前記記録媒体を再生して前記画像圧縮伸長系に出力する信号処理系からなるディジタル信号記録再生装置において、

前記画像圧縮伸長系は、画像信号を入力する入力手段と、前記入力手段で入力した画像信号を処理し、情報圧縮を行なう画像圧縮手段と、前記画像フレームの先頭を示す記録フレーム同期信号を出力し、記録信号クロックとともに、前記第一のモードでは前記画像圧縮手段で圧縮された信号を第一の周波数で出力し、前記第二のモードでは前記画像圧縮手段で圧縮された信号を第一の周波数の2倍の第二の周波数で第一の系統信号と第二の系統信号を交互に出力する記録出力インターフェース手段と、前記信号処理系から出力される信号を入力する再生入力インターフェース手段と、前記再生入力インターフェース手段で入力した信号を伸長する画像伸長手段と、前記画像伸長手段で伸長された伸長信号を出力する出力手段からなり、

前記信号処理系は、前記記録出力インターフェース手段から出力される信号及び前記記録フレーム同期信号を前記記録信号クロックとともにに入力し、入力した前記記録フレーム同期信号に同期した前記フレーム周期の $1/N$ の周期のトラック周期信号を生成し、前記第一のモードでは入力された信号をそのまま第一の系統信号として前記第一の周波数で出力し、前記第二のモードでは前記第一の系統信号と前記第二の系統信号を交互に分離して、それぞれ第一の周波数で出力する記録入力インターフェース手段と、前記トラック周期信号に従って前記記録入力インターフェース手段で入力された信号に誤り訂正用のパリティを附加する第一及び第二の符号化手段と、前記トラック周期信号に従ったトラック番号を生成する第一及び第二のトラック番号生成手段と、前記トラック周期信号に従って前記第一及び第二の符号化手段でパリティが附加されたデータ及び前記トラック番号を、記録媒体に記録する第一及び第二の記録手段と、前記記録媒体をトラック単位に再生する第一及び第二の再生手段と、前記第一及び第二の再生手段で再生された信号より前記トラック番号を検出する第一及び第二のトラック番号検出手段と、前記第一及び第二の再生手段で再生された信号

号の誤り訂正を行なう第一及び第二の復号手段と、前記検出されたトラック番号よりフレームの先頭を示す再生フレーム同期信号を生成するフレーム生成手段と、前記再生フレーム同期信号を出力し、再生信号クロックとともに、前記第一のモードでは前記第一の復号手段で訂正された信号をそのまま前記第一の周波数または第3の周波数で出力し、前記第二のモードでは前記第一の復号手段で訂正された信号と前記第二の復号手段で訂正された信号を交互に前記第二の周波数または前記第3の周波数の2倍の第4の周波数で前記画像圧縮伸長系に出力する再生出力インターフェース手段からなることを特徴とするデジタル信号記録再生装置。

【請求項5】請求項4において、前記記録入力インターフェース手段は、入力された信号と同一の周波数の前記記録信号クロックを2分周して2分周クロックを生成する分周手段と、前記第一のモードでは前記記録信号クロックの立ち上がりで動作し、前記第二のモードでは前記分周クロックの立ち上がりで動作する第一のレジスタと、前記分周クロックの極性を反転する反転手段と、前記反転手段の出力の立ち上がりで動作する第二のレジスタを設け、前記第一のレジスタを前記第一の系統信号に、前記第二のレジスタを前記第二の系統信号とするデジタル信号記録再生装置。

【請求項6】請求項4において、前記再生出力インターフェース手段は、出力する信号と同一の周波数の前記再生信号クロックを二分周して二分周クロックを生成する分周手段と、前記第一のモードでは前記再生信号クロックの立ち上がりで動作し、前記第二のモードでは前記分周クロックの立ち上がりで動作する第一のレジスタと、前記分周クロックの極性を反転する反転手段と、前記反転手段の出力の立ち上がりで動作する第二のレジスタと、前記第一のレジスタの出力が前記第二のレジスタのどちらかを選択する選択手段を設け、前記第一のモードでは前記選択手段は前記第一のレジスタを選択し、前記第二のモードでは前記分周クロックがHまたはLのとき前記第一のレジスタを選択し、前記分周クロックがLまたはHのとき前記第二のレジスタを選択するデジタル信号記録再生装置。

【請求項7】入力されたフレーム単位の画像信号をMブロック（Mは自然数）に分割して圧縮し、再生された信号を伸長する画像圧縮伸長系と、前記画像圧縮伸長系で圧縮された1フレーム分の信号をNトラック（Nは自然数）に分割してトラック単位に記録媒体に記録し、前記記録媒体を再生して前記画像圧縮伸長系に出力する信号処理系からなるデジタル信号記録再生装置において、前記画像圧縮伸長系は、前記信号処理系から出力される信号を入力する再生入力インターフェース手段と、前記再生入力インターフェース手段で入力した信号を伸長する画像伸長手段と、前記画像伸長手段で伸長された伸長信号を出力する出力手段からなり、前記信号処理系は、

前記記録媒体をトラック単位に再生する再生手段と、前記再生手段で再生された再生信号の誤り訂正を行なう復号手段と、前期復号手段で検出された再生信号の誤り数または前期復号手段で訂正不能とされた信号数をカウントするフラグ検出手段と、前記復号手段で訂正された信号を記憶する記憶手段と、前記記憶手段より読みだされる信号を前記ロック単位または前記フレーム単位に前記記憶手段に記憶されている少なくとも1フレーム前の信号に置き換えるコンシール手段と、前記コンシール手段で置き換えた信号を前記画像圧縮伸長系に出力する再生出力インターフェース手段からなり、前記フラグ検出手段に従って前記復号手段で訂正不能とされた信号を含む前記ロック全体又は前記フレーム全体の信号を少なくとも1フレーム前の信号に置き換えてから前記画像伸長手段で伸長処理を行なうことを特徴とするデジタル信号記録再生装置。

【請求項8】請求項7において、前記フラグ検出手段で前記再生信号の誤り数が所定の数より少ないと判断したときは、前記コンシール手段は前記復号手段で訂正不能とされた信号を含む前記ロック全体を少なくとも1フレーム前の同一ブロックの信号に置き換え、前記フラグ検出手段で前記再生信号の誤り数が所定の数より大と判断したときは、前記コンシール手段は前記復号手段で訂正不能とされた信号を含む前記フレーム全体を少なくとも1フレーム前の信号に置き換えるデジタル信号記録再生装置。

【請求項9】請求項7または8において、前記記憶手段の読みだしフレームアドレス生成手段を設け、前記コンシール手段は、前記復号手段で訂正不能とされた信号を含む前記ロック全体を少なくとも1フレーム前の同一ブロックの信号に置き換える場合は前記フレームアドレスを反転させ、前記復号手段で訂正不能とされた信号を含む前記フレーム全体を少なくとも1フレーム前の信号に置き換える場合は、前記フレームアドレス生成手段の動作を停止させるデジタル信号記録再生装置。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明はデジタル情報信号の記録再生に係り、特に、圧縮されたデジタル画像信号を、1チャンネル記録再生または2チャンネルで記録再生するのに好適なデジタル情報記録再生装置に関する。

##### 【0002】

【従来の技術】デジタル画像信号を記録再生する装置として、「日経エレクトロニクス」（1993.10.11）115頁～122頁記載にあるような家庭用デジタルVTRがある。

【0003】家庭用デジタルVTRでは、テープの小型化を図るため、記録情報量を減少させる為、画像信号を圧縮して記録を行なう。圧縮を行なう際、1フレーム

あたりのデータ量を一定とし、これを 10 トラックに分割して記録する。

【0004】

【発明が解決しようとする課題】上記家庭用ディジタル VTR では、画像信号の圧縮伸長を行なう圧縮伸長系と、誤り訂正処理、変調復調処理等を行なう信号処理系に分けられる。

【0005】圧縮伸長系では、画像のフレーム単位で動作を行なうが、信号処理系では、トラック単位で動作する。上記したように、1 フレーム = 10 トラックであるが、このフレーム対トラックの同期方法、データのインターフェイス等に関しては、考慮されていない。

【0006】また、再生時に、信号処理回路で誤り訂正が不可能とされたデータに対する処理、すなわち、エラーコンシールについても考慮されていなかった。

【0007】本発明の目的は、家庭用ディジタル VTR における圧縮伸長回路と信号処理回路のフレーム対トラックのインターフェイスを図ることにある。

【0008】また、小規模の回路で、訂正不可能の場合のエラーコンシールを実現することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、画像圧縮伸長系と、信号処理系からなる装置において、画像信号を入力する入力手段と、前記入力手段で入力した画像信号を処理し、情報圧縮を行なう画像圧縮手段と、前記画像圧縮手段で圧縮された信号及び前記画像フレームの先頭を示す記録フレーム同期信号を記録信号クロックとともに前記信号処理系に出力する記録出力インターフェース手段と、前記信号処理系から出力される信号を入力する再生入力インターフェース手段と、前記再生入力インターフェース手段で入力した信号を伸長する画像伸長手段と、前記画像伸長手段で伸長された伸長信号を出力する出力手段と、前記記録出力インターフェース手段から出力される信号及び前記記録フレーム同期信号を前記記録信号クロックとともにに入力し、入力した前記記録フレーム同期信号に同期した前記フレーム周期の 1/N の周期のトラック周期信号を生成する記録入力インターフェース手段と、前記トラック周期信号に従って前記記録入力インターフェース手段で入力された信号に誤り訂正用のパリティを付加する符号化手段と、前記トラック周期信号に従ったトラック番号を発生するトラック番号発生手段と、前記トラック周期信号に従って前記符号化手段でパリティが付加されたデータ及び前記トラック番号を記録媒体に記録する記録手段と、前記記録媒体をトラック単位に再生する再生手段と、前記再生手段で再生された信号より前記トラック番号を検出するトラック番号検出手段と、前記再生手段で再生された信号の誤り訂正を行なう復号手段と、前記検出されたトラック番号よりフレームの先頭を示す再生フレーム同期信号を生成するフレーム生成手段と、前記復号手段で訂正さ

れた信号と前記再生フレーム同期信号を再生信号用クロックとともに前記画像圧縮伸長系に出力する再生出力インターフェース手段を設ければよい。

【0010】また、前記復号手段で検出された再生信号の誤り数または前記復号手段で訂正不能とされた信号数をカウントするフラグ検出手段と、前記復号手段で訂正された信号を記憶する記憶手段と、前記記憶手段より読みだされる信号を前記ブロック単位または前記フレーム単位に前記記憶手段に記憶されている少なくとも 1 フレーム前の信号に置き換えるコンシール手段を設ければよい。

【0011】

【作用】上記の構成により、画像圧縮伸長系で生成した記録フレーム同期信号に、信号処理系のフレーム同期がかかり、さらにこのフレーム周期の 1/N の周期のトラック周期信号を生成できる。これにより、画像圧縮伸長系ではトラック周期に影響されず、フレーム周期のみで動作が可能となる。

【0012】また、トラック番号生成手段により、入力された記録フレーム同期信号を基準にしてトラック番号を記録できるので、再生時にこのトラック番号を検出して、フレーム先頭信号を識別できるため、信号処理系から画像圧縮系にフレーム単位で再生信号を出力することが可能となる。これにより、記録時と同様、画像圧縮伸長系ではトラック周期に影響されず、フレーム周期のみで動作できる。

【0013】また、信号処理系で、訂正不能時にブロック単位またはフレーム単位で 1 フレーム前の信号と置き換えることにより、伸長処理を行なう前にエラーコンシールを行なうことができ、訂正不能フラグの保持等の処理を行なう必要が無く、極めて小規模な回路で実行できる。

【0014】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【0015】図 1 は、本発明による家庭用のディジタル VTR のブロック図である。

【0016】同図において、11 は記録アンプ、12 はスイッチ、13 は再生アンプ、14 は回転ヘッド、15 は磁気テープ、30 は画像圧縮伸長回路、31 は信号処理回路、301 は音声入力端子、303 は音声出力端子である。

【0017】また、図 2 は、磁気テープ 15 上の記録トラックフォーマットを示したものである。50、52 は音声エリア、51、53 は画像エリアであり、音声と画像はそれぞれ別の領域に記録される。

【0018】図 3 (a) は、音声エリア 50、52 のブロックフォーマット、(b) は画像エリア 51、53 のブロックフォーマットである。音声エリア、画像エリアとも共通のブロック構造をなしており、2 バイトの同期

信号60または66、ブロックアドレス等の情報を持つID61または67、77バイトの信号65又は71、8バイトの誤り訂正用のC1パリティ63または69の90バイトで、1ブロックを構成する。音声エリアは、9ブロックの音声信号65と、5ブロックのC2パリティ62の14ブロックから成る。音声補助信号64は、標準化周波数等の情報が記録される。画像エリアは、3ブロックの画像補助信号70及び72、135ブロックの画像信号71、11ブロックのC2パリティ68の計149ブロックから成る。

【0019】図1を用いて、本装置の記録再生動作を説明する。

【0020】記録時は、圧縮伸長回路30の画像信号入力端子1に入力された画像信号を、画像圧縮回路2により量子化、ピット圧縮等の処理を施し、記憶回路3に記憶される。記憶回路3から画像信号を読みだし、インターフェイス回路4を介して、記録データ40を記録データクロック120とともに、信号処理回路31のインターフェイス回路6に送る。また、インターフェイス回路4は、図4に示したように、記録データ40の各フレームの先頭を示す記録フレーム同期信号41も出力する。

【0021】信号処理回路31では、フレーム同期回路5により記録フレーム同期信号41を検出し、フレームの先頭を認識し、記録データ40の記憶回路7への記憶アドレスを制御する。同時に、信号処理回路31が持っているトラックタイミングを、記録フレーム同期信号41に同期させ、記録データクロック120を用いて、1/5フレーム周期のトラック同期信号45を生成し、符号化回路9、変調回路10、回転ヘッド14の動作を制御する。これにより、画像信号のフレーム周期と、信号処理回路のトラック周期を完全に同期させることが可能となる。

【0022】インターフェイス回路6に入力された記録データ40は、一度記憶回路7に記憶された後、符号化回路9により、C2パリティ62が付加される。この際、図4に示したように、記録データ40はフレーム単位で入力されるが、符号化は、入力された記録データを十等分して、各トラック単位で行なう。これにより、圧縮伸長回路では、トラック周期に影響されなくなり、フレーム周期のみで動作を行なえばよい。

【0023】この場合、図4(a)に示したように、記憶回路7に1フレーム分のデータを記憶してから、符号化を行なっても良いし、図4(b)に示したように数トラック遅れで符号化を行なっても良い。(b)の方が、記憶回路7の容量が少い長所を持つ。

【0024】一方、音声入力端子301から入力された音声信号は、音声入力処理回路300で処理され、C2パリティ62が付加された後、画像信号と同一の処理が施される。符号化回路9によりC1パリティ63及び69が付加され、変調回路10に送られる。

【0025】また、トラック番号生成回路600により、トラック同期信号45をもとに各フレーム内におけるトラック番号を発生し、変調回路10に送られる。

【0026】変調回路10では、パリティが付加された信号に、同期信号60及び66、トラック番号を含むID61及び67が付加され、変調処理が施され、記録アンプ11、スイッチ12を介して、図2のトラックフォーマットに従って、磁気テープ15に記録される。

【0027】再生時は、磁気テープ15に記録された記録信号を、回転ヘッド14により再生し、スイッチ12、再生アンプ13を介して復調回路16に送られる。復調回路16で、復調処理、同期信号60及び66等の検出を行い、復号回路17に送られ、C1パリティ69を用いて、ブロック方向のC1誤り訂正が行われる。また、トラック番号検出回路601で、ID61及び67に記録されたトラック番号を検出し、各フレームにおける先頭トラックを識別する。さらに、フレーム周期生成回路602により、再生フレーム周期を生成し、インターフェース回路20に送る。

【0028】画像エリア51及び53で再生されたデータは、さらにC2パリティ68を用いて、C1符号と直行する方向のC2誤り訂正が施され、記憶回路18に記憶される。訂正不可能とされたデータを含むブロックに訂正不能フラグを付加し、記憶回路18に記憶する。記憶回路18から信号が読みだされる際、コンシール回路19により、復号回路17で訂正不能とされたデータを、ブロック単位又はフレーム単位で、1フレーム前のデータに置き換えることにより、エラーコンシールを行なう。このため、記憶回路18は、2フレーム分の記憶容量を必要とする。

【0029】コンシールされたデータ182は、インターフェイス回路20を介して、圧縮伸長回路30のインターフェイス回路22に送られる。また、図5に示すように、記録時における圧縮伸長回路30のインターフェイス回路4と信号処理回路31のインターフェイス回路6との通信と同様、インターフェイス回路20は、フレーム周期生成回路602で生成された再生フレーム周期より、再生フレーム同期信号43を生成、出力し、圧縮伸長回路30にフレームの先頭を知らせ、再生データ42をフレーム単位で、前詰めに転送する。これにより、圧縮伸長回路30は、信号処理回路31のトラック周期に影響されなくなる。

【0030】その後、画像伸長回路24により、画像圧縮回路2で圧縮された信号をもとに戻す為の伸長処理が行われ、画像信号出力端子25より出力される。一方、音声エリア50及び52で再生されたデータは、音声出力処理回路302により、C2パリティ68を用いたC2訂正が行われ、誤り訂正が不可能と検出されたデータに補間処理を施して、音声信号出力端子303より、図示していないが、D/A変換器でアナログ信号に変換さ

れたり、ディジタル変調が施されて、ディジタル信号として出力される。

【0031】また、上記の説明では、符号化回路9または復号回路17により、画像信号と音声信号のC1処理、画像信号のC2処理を兼用して行ったが、図3に示すように、C1と映像C2は符号構成が異なっているので、それぞれ別の回路で、専用に行なってもよい。

【0032】このように、記録フレーム同期信号41及び再生フレーム同期信号43を用いることにより、圧縮伸長回路30はフレーム周期で動作し、信号処理回路31は、フレーム周期の1/5倍のトラック周期で、圧縮伸長回路と同期して動作することが可能となる。

【0033】図5は、圧縮伸長回路30と信号処理回路31の通信フォーマットの詳細例を示したタイミングチャートである。図2に示したように、画像信号71は、77バイトで1ブロックを構成しており、上記通信でも、77バイト単位で転送される。その際、必ずしも77バイトずつ詰めて転送せず、ダミーデータ128を付加して、例えば96バイト、112バイト、128バイト等2のべき乗で表わしやすい数としても良い。さらに、各ブロックの先頭を示すブロック同期信号121及び127を通信することにより、ブロック長を可変とすることもできる。

【0034】この場合のブロック図を図7に示す。記録時は、圧縮伸長回路30のインターフェイス回路4より記録ブロック同期信号121を信号処理回路31のフレーム同期回路5に送り、記録データ40の記憶回路7への書き込みアドレスを制御する。再生時は、逆に信号処理回路31のインターフェイス回路20より記録ブロック同期信号126を圧縮伸長回路30の同期回路21に送り、再生データ42の記憶回路23への書き込みアドレスを制御する。

【0035】上記の方法は、例えば、記録時における圧縮伸長回路30が、圧縮されたデータを1フレーム分記憶回路3に記憶してから転送を行なうのではなく、圧縮が終えたデータから順に出力するような場合、極めて有効となる。これにより、記憶回路3の記憶容量を減少することができる。

【0036】以上の説明では、対向する1組のヘッドで1チャンネル記録再生する場合について述べてきたが、本記録再生装置では、2組のヘッドで同時に記録再生を行う2チャンネル記録の場合も考えられている。例えば、1チャンネル記録は標準画像、2チャンネル記録は標準画像の2倍の情報量をもつ高精細画像の記録に用いることが考えられている。2チャンネル記録の場合、図2において、50及び51が同一組のヘッド、52及び53が別の組のヘッドで、記録再生が行われる。

【0037】図8は、2チャンネル記録再生する場合の、記録再生装置のブロック図を示したものである。2チャンネル記録では、映像信号、音声信号とも、2つの

チャンネルに分散されて記録再生を行う。

【0038】記録時は、画像信号入力端子1より入力された高精細画像信号を、画像圧縮回路2により、標準画像における圧縮時の2倍の情報量になるように圧縮を行なう。その後、図9に示すように、記録データクロックを標準時の2倍の周波数として、各チャンネルごとのデータを交互に転送する。同図において、Anが1つのチャンネルのデータ、Bnが他方のチャンネルのデータを示している。信号処理回路31のインターフェイス回路6で、2チャンネルに分離を行い、Aチャンネルデータ140を記憶回路7に、Bチャンネルデータ141を記憶回路400にそれぞれ記憶し、その後、Aチャンネルは符号化回路9、変調回路10、記録アンプ11を介し、またBチャンネルは符号化回路401、変調回路402、記録アンプ403を介して別々のヘッドにより記録される。音声に関しても、音声入力処理回路300から、符号化回路9と符号化回路401に送られ、2チャンネル記録が行われる。

【0039】再生時は、再生された2チャンネルの再生信号が、Aチャンネルは再生アンプ13、復調回路16、復号回路17、記憶回路18、コンシール回路19を介してインターフェイス回路20に送られ、Bチャンネルは再生アンプ404、復調回路405、復号回路406、記憶回路407、コンシール回路408を介してインターフェイス回路20に送られる。インターフェイス回路20で、Aチャンネル再生データ160とBチャンネル再生データ161が合成され、記録時と同様、標準画像の2倍の周波数で、Aチャンネル、Bチャンネル交互に圧縮伸長回路30に出力される。

【0040】なお、図8では、図1、図7に示したトラック番号生成回路600、トラック番号検出回路601、フレーム周期生成回路602が示されていないが、同様な処理を行なうものとする。この場合、記録時は、2チャンネルともトラック番号を記録し、再生時は、片チャンネルのみの検出、または両チャンネルの検出どちらを行なってもよい。

【0041】図10は、信号処理回路31のインターフェイス回路6の、2チャンネルの分離を行なう部分のブロック図である。同図において、132は極性を反転させる反転回路、133及び134は入力クロックの立ち上がりで動作するレジスタである。エッジ検出回路130で記録ブロック同期信号121を入力することにより、図9に示した検出エッジ信号125を生成し、記録データクロック120を二分周する分周回路131の位相を制御し、二分周クロック124を得る。選択回路135がこの二分周クロック124を選択することにより、二分周クロック124の立ち上がりでレジスタ133が記録データ123をラッチし、反転回路132により、二分周クロック124の立ち下がりでレジスタ134が記録データ123をラッチする。これにより、レジ

スタ133の出力はAチャンネルデータのみ、またレジスタ134の出力はAチャンネルデータのみと分離することができる。

【0042】一方、標準画像時は、選択回路135が記録データクロック120を選択し、レジスタ134の出力を用いず、レジスタ133の出力のみを1チャンネル記録する。

【0043】このように、標準画像時は図6の転送フォーマットを、高精細画像時は図9のフォーマットをとることにより、図10の回路で容易に両者に対応することができる。図10の回路は、圧縮伸長回路のインターフェース回路22にも用いることができる。

【0044】図11は、信号処理回路31のインターフェース回路22の、2チャンネルの合成を行なう部分のブロック図である。同図において、152は極性を反転させる反転回路、153及び154は入力クロックの立ち上がりで動作するレジスタである。

【0045】再生時は、図12に示したタイミングでAチャンネル再生データ160、Bチャンネル再生データ161が入力される。タイミング生成回路150で再生データクロック126、再生ブロック同期信号127等が生成され、再生データクロック126を二分周する分周回路151の位相を制御154し、再生二分周回路162を得る。選択回路156が再生二分周回路162を選択することにより、レジスタ153の出力は、図12に示したレジスタ153、反転回路152により、レジスタ154の出力は、図12に示したレジスタ154のようになる。選択回路155は再生二分周回路162がHのときレジスタ153を、Lのときレジスタ154を選択することにより、その出力は、図12に示したデータ42のようになり、記録データ123と同一のフォーマットとすることができます。一方、標準画像時は、選択回路156が再生データクロック126を、選択回路155がレジスタ153をつねに選択することにより、図6のフォーマットとすることができる、容易に両者に対応可能となる。

【0046】ところで、本装置では、画像信号を圧縮し、ブロック単位で記録を行なっている為、もし復号回路17、405で訂正不能が生じた場合、単に訂正不能データのみを補間したり、1フレーム前のデータに置き換えるを行なつただけでは、その訂正不能が生じたデータを含むブロック全体の伸長処理が、正常に行なえなくなり、ブロック全体に誤った処理が施されてしまう問題がある。そこで、本装置では、訂正不能が生じたデータを含むブロック全体、またはフレーム全体を1フレーム前のデータに置き換えることにより、容易にエラーコンシールを行なえる。

【0047】図13は、コンシール回路19、407の回路図を示したものであり、177は反転回路、174はAND回路、174は排他的論理和をとるEOR回路

であり、EOR回路174の出力は、記憶回路18、405のフレームアドレスに接続される。図14に示す様に、フラグ検出回路170に、各ブロックの先頭データに先行して訂正不能フラグ180を入力し、訂正不能とされたブロックの読みだしタイミングに対応したブロックコンシール信号183を生成する。一方、タイミング生成回路176でフレーム周期信号184を生成し、ゲート回路171を介して、フレーム周期生成回路172により、記憶回路18、405のフレームアドレスを示すバンク信号186を得る。EOR回路174の働きにより、ブロックコンシール信号183がHのとき、バンク信号186が反転する為、記憶回路18、405のフレームアドレスが反転する。記憶回路18、405の容量がそれぞれ2フレーム分とすると、再生データ182のうち、斜線を施した信号190、191、192の各ブロック全体のデータが1フレーム前のデータに置き換わって出力されることになる。このため、画像伸長回路24で行われる伸長処理の際、ブロックは独立して処理される為、伸長された画像として、良好な画像を得ることが可能となる。

【0048】上記の説明は、比較的訂正不能なデータ数が少ない時について述べたが、訂正不能数が多くなると、フレーム全体を1フレーム前に置き換えて出力する必要が生じる。そこで、フラグ検出回路170で復号回路17、405で行われるC1訂正またはC2訂正での訂正不能数をカウントし、所定量を越した場合、図15に示した様に、フラグ検出信号185を生成する。ゲート171回路では、フラグ検出信号185がHのとき、フレーム周期信号184をゲートして、フレーム周期生成回路172に送らないようにすると、バンク信号186は、図15のように訂正不能数が多かった次のフレームで、変化しないように成る。復号処理に対し、1フレーム遅れて再生データ182が输出されるので、訂正不能数が多かったフレームの全データの出力タイミングに対してのフレームアドレスが反転することになる。これにより、1フレーム前のデータをそのまま送ることが可能となり、同一画面を連続して映すフリーズ処理を容易に行なうことができる。AND回路174は、このフリーズ処理処理中にブロックコンシール信号183の影響でフレームアドレス181が反転するのを防ぐためのものである。

【0049】本発明を用いない場合は、訂正不能フラグを伸長処理後まで保管する必要があり、処理が極めて困難となってしまう。

【0050】なお、以上の説明では、記録データ40、再生データ42をパラレル転送するものとして述べていたが、シリアル転送を用いても良い。この場合、各インターフェース回路4、6、20、22にパラレル/シリアル変換器またはシリアル/パラレル変換器を設ければよい。

## 【0051】

【発明の効果】本発明によれば、画像圧縮伸長系で生成した記録フレーム同期信号に、信号処理系のフレーム同期がかかり、さらにこのフレーム周期の $1/N$ の周期のトラック同期信号を生成できる。これにより、画像圧縮伸長系ではトラック同期に影響されず、フレーム周期のみで動作が可能となる。また、トラック番号生成手段により、入力された記録フレーム同期信号を基準にしてトラック番号を記録できるので、再生時にこのトラック番号を検出して、フレーム先頭信号を識別できるため、信号処理系から画像圧縮系にフレーム単位で再生信号を出力することが可能となる。これにより、記録時と同様、画像圧縮伸長系ではトラック同期に影響されず、フレーム周期のみで動作できる。

【0052】また、2チャンネル記録再生時において、チャンネルごとに交互に信号を伝送することにより、容易に信号の分離合成が行なえる。これらにより、画像圧縮系と、信号処理系との良好なインターフェースを実現できる。

【0053】また、信号処理系で、訂正不能時にブロック単位またはフレーム単位で1フレーム前の信号と置き換えることにより、伸長処理を行なう前にエラーコンシールを行なうことができ、訂正不能フラグの保持等の処理を行なう必要が無く、極めて小規模な回路で実行できる。

## 【図面の簡単な説明】

【図1】本発明のディジタル情報記録再生装置の一実施例のブロック図。

【図2】ディジタル情報記録再生装置のトラックフォーマットを示す説明図。

【図3】ディジタル情報記録再生装置のブロックフォーマットを示す説明図。

【図4】本発明のディジタル情報記録再生装置の記録時

における通信のタイミングチャート。

【図5】本発明のディジタル情報記録再生装置の再生時における通信のタイミングチャート。

【図6】本発明のディジタル情報記録再生装置の詳細な通信タイミングを示すタイミングチャート。

【図7】本発明のディジタル情報記録再生装置の他の実施例を示すブロック図。

【図8】本発明のディジタル情報記録再生装置の他の実施例を示すブロック図。

【図9】図8における装置の記録時における通信タイミングを示すタイミングチャート。

【図10】図8のインターフェース回路6のブロック図。

【図11】図8のインターフェース回路20のブロック図。

【図12】図8の再生時における通信のタイミングチャート。

【図13】図1、図7、図8のコンシール回路のブロック図。

【図14】図13の回路のタイミングチャート。

【図15】図13の回路のタイミングチャート。

## 【符号の説明】

2…画像圧縮回路、

4…インターフェース回路、

6…インターフェース回路、

8…トラック同期回路、

9…符号化回路、

10…変調回路、

14…回転ヘッド、

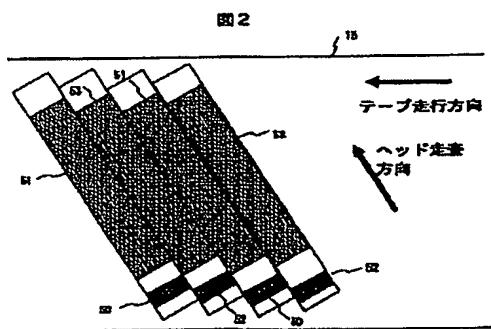
40…記録データ、

41…記録フレーム同期信号、

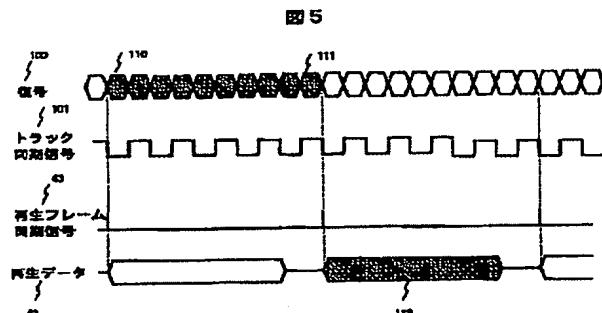
120…再生データクロック、

600…トラック番号生成回路。

【図2】

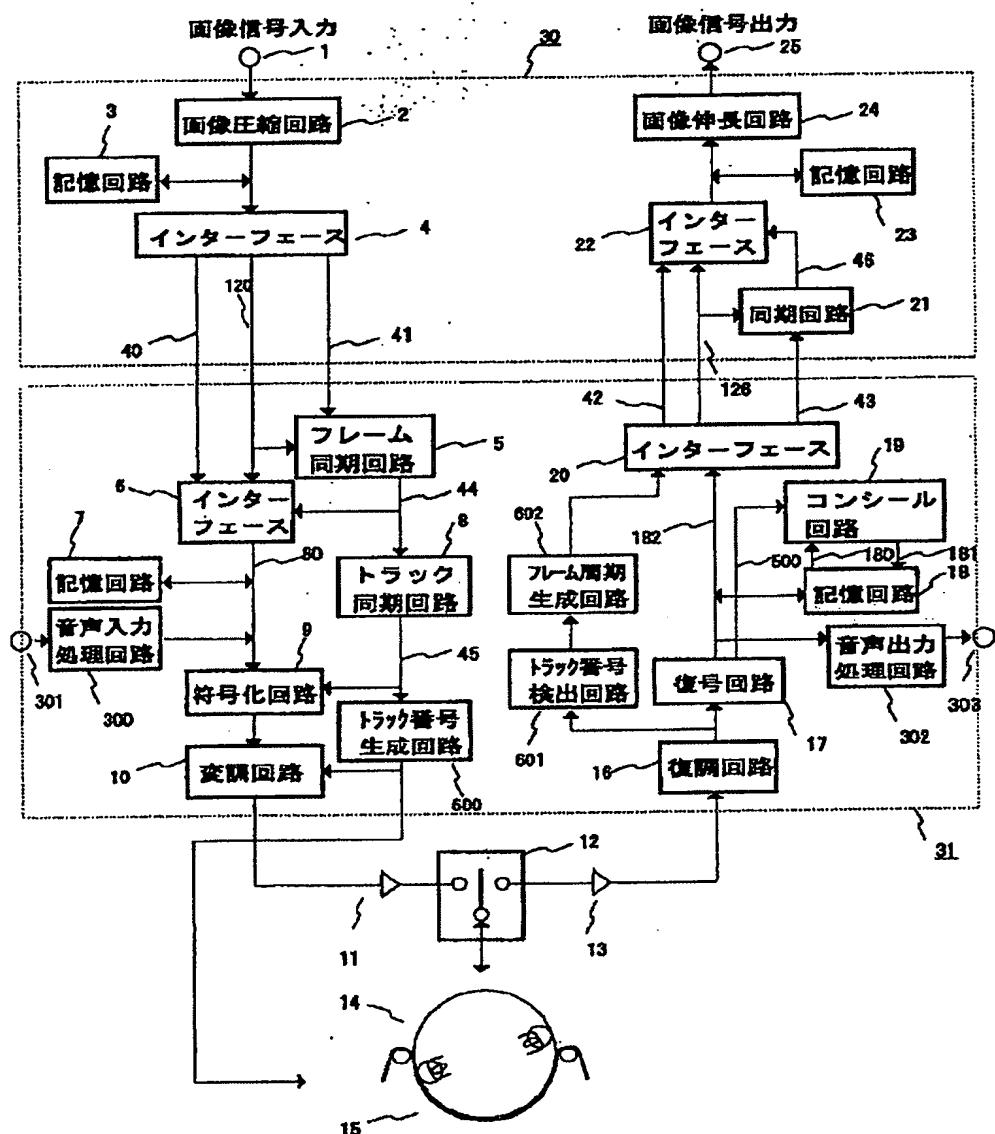


【図5】



〔2〕 1)

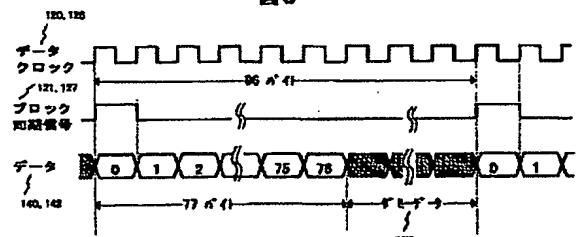
图-1



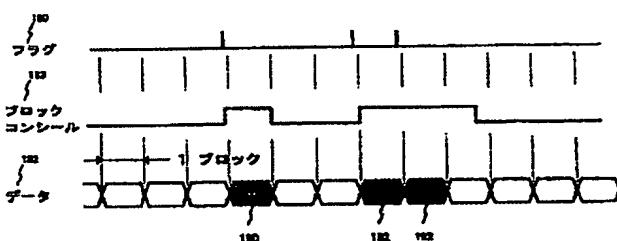
〔圖6〕

【图 14】

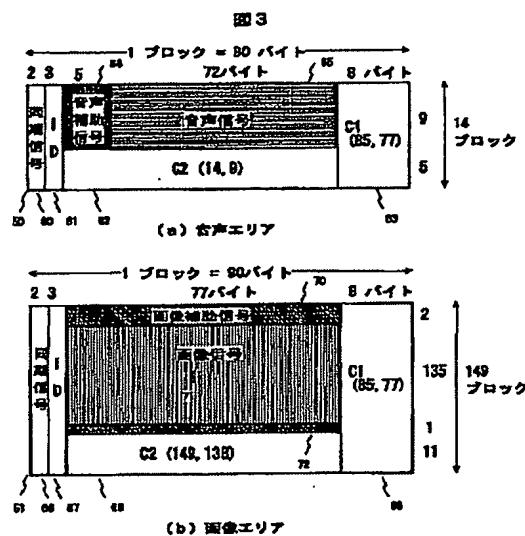
圖 6



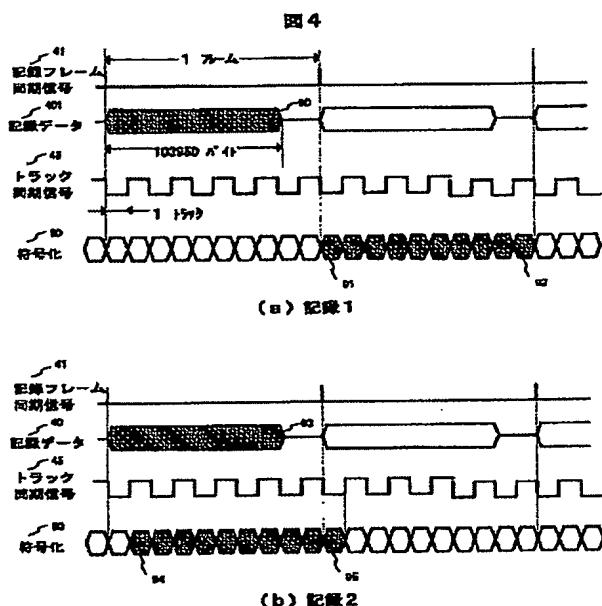
四七四



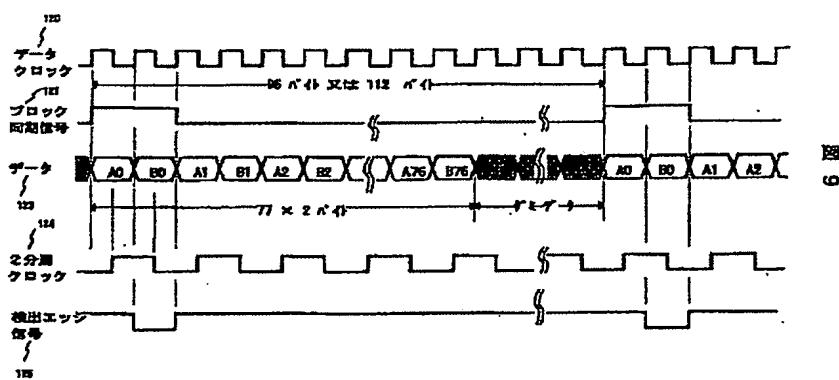
【図3】



【図4】

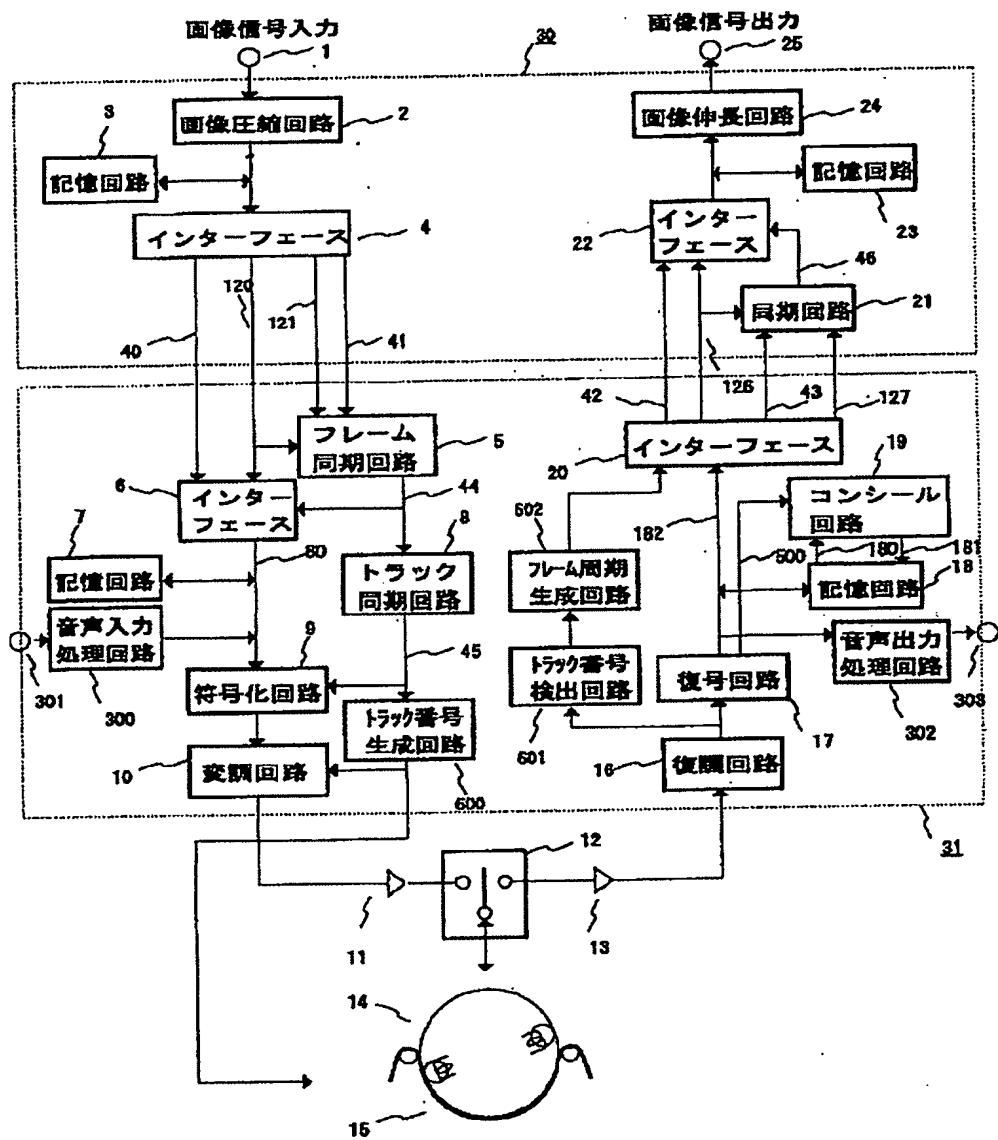


【図9】



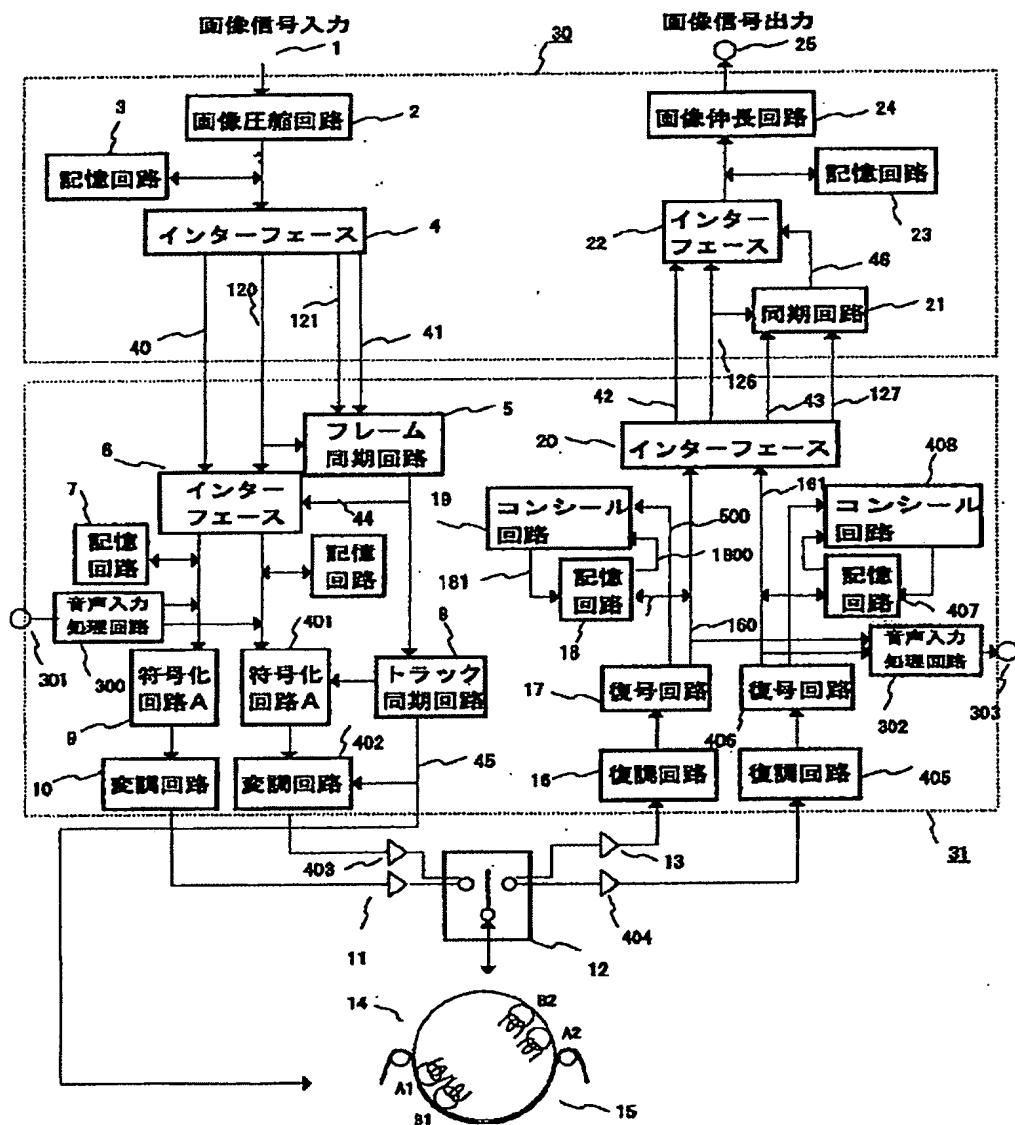
〔圖7〕

图 7



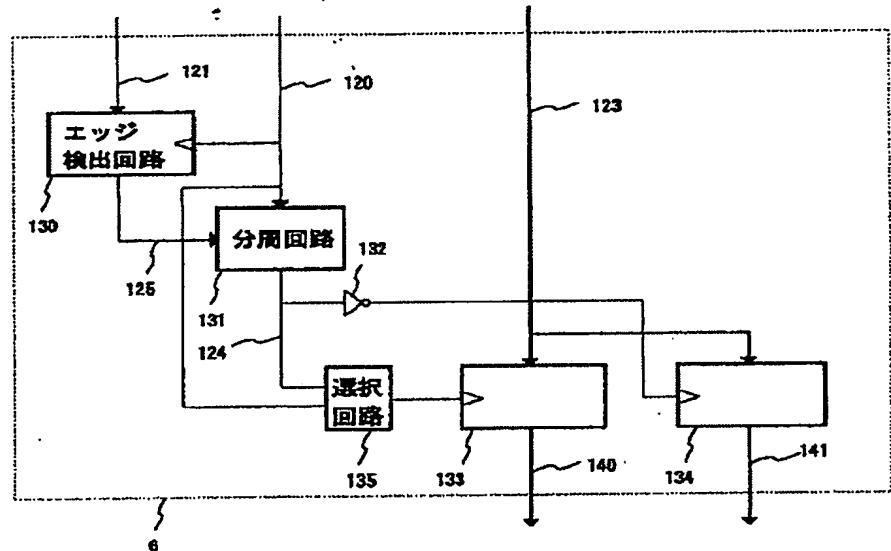
【図8】

図8



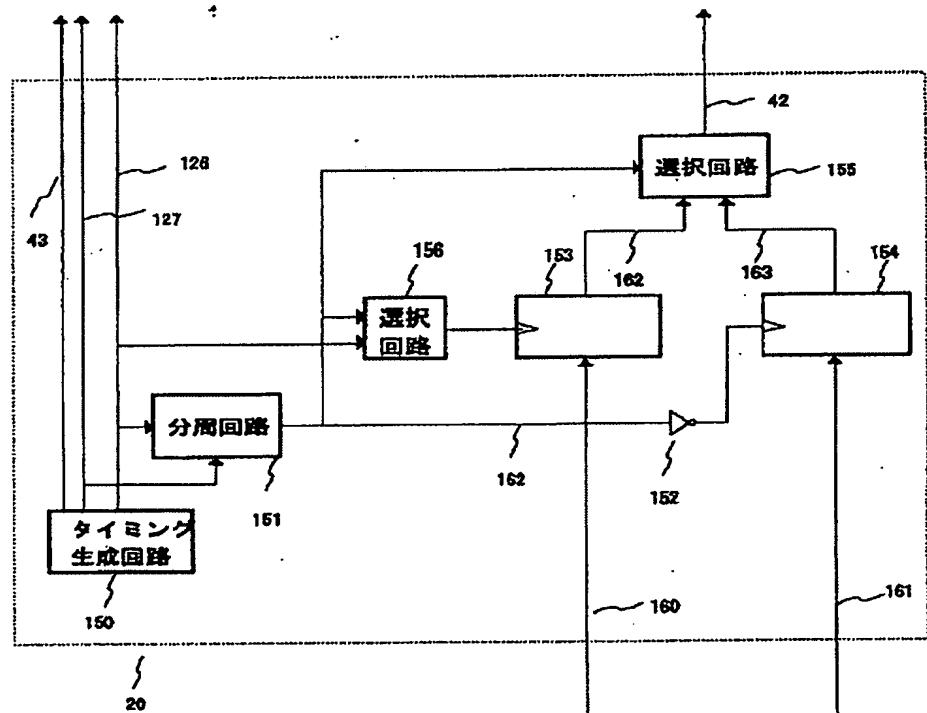
【図10】

圖 10



〔圖 11〕

図 1 1



【図12】

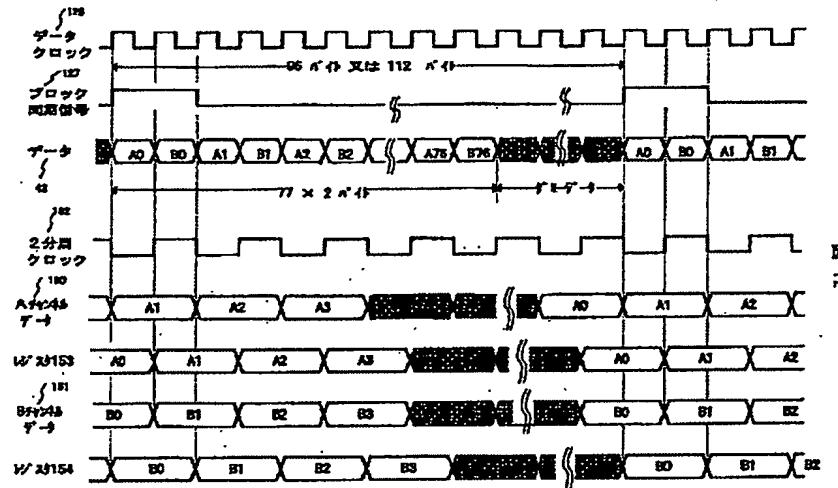
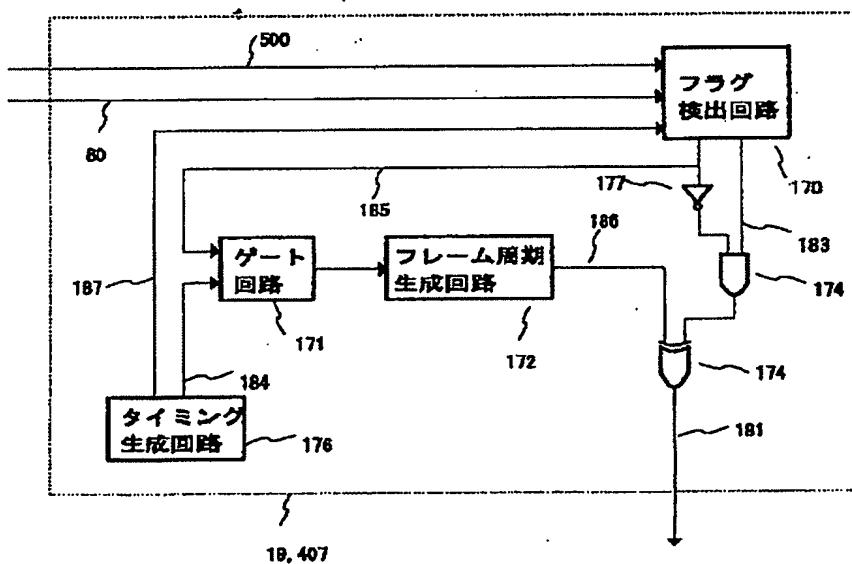


図12

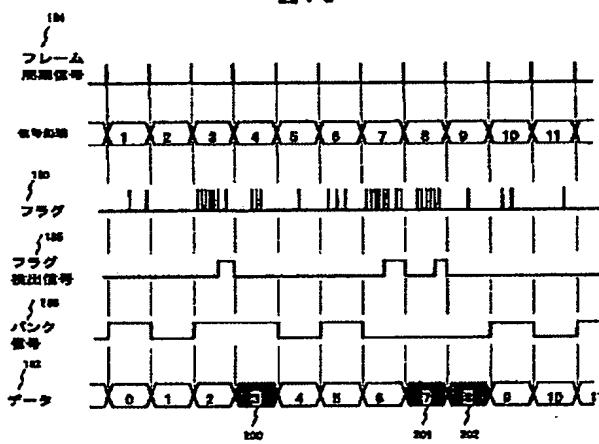
【図13】

図13



【図15】

図15



## フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H 0 4 N 7/30

(72) 発明者 高橋 将

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所映像メディア研究所内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-130706

(43)Date of publication of application : 21.05.1996

(51)Int.Cl.

H04N 5/92  
G11B 20/10  
G11B 20/12  
H04N 7/30

(21)Application number : 06-266543

(22)Date of filing : 31.10.1994

(71)Applicant : HITACHI LTD

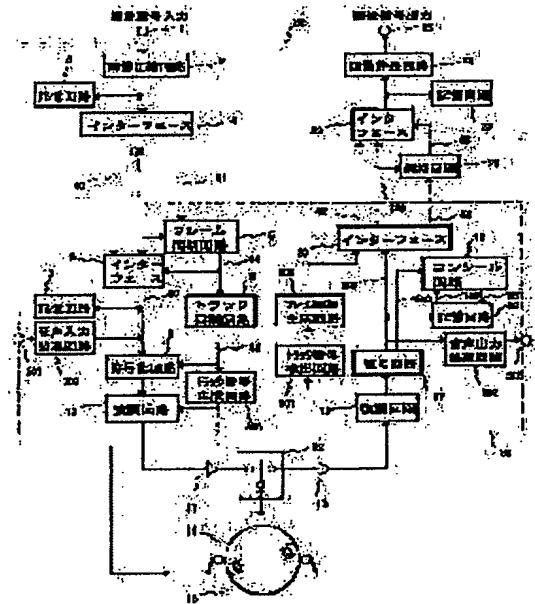
(72)Inventor : HATANAKA YUJI  
OKAMOTO HIROO  
SAITO SEIICHI  
TAKAHASHI SUSUMU

## (54) DIGITAL SIGNAL RECORDING AND REPRODUCING DEVICE

## (57)Abstract:

**PURPOSE:** To perform an operation only by a frame cycle without being influenced by a track period in a picture compression and expansion system by applying the frame synchronization of a signal processing system to recording frame synchronization signals generated in the picture compression and expansion system and generating the track period signals of the period of the I/N further.

**CONSTITUTION:** Processings such as quantization and bit compression, etc., are performed by a picture compression circuit 2 to picture signals inputted to a compression and expansion circuit 30 and they are stored in a storage circuit 3. The picture signals are read from the circuit 3 and passed through an interface circuit 4 and recording data 40 are sent to the interface circuit 6 of a signal processing circuit 31 along with a recording data clock 120. The data 40 inputted to the circuit 6 are stored in the storage circuit 7 once and then, a C2 parity 62 is added by an encoding circuit 9. At the time, the data 40 are inputted by a frame unit, however, the recording data inputted by respective track units are equally divided into ten in encoding. Thus, the operation is made possible only by the frame period without being influenced by the track period in the circuit 30.



## **PU020122 (JP8130706) ON 8511**

(19) Patent Agency of Japan (JP)  
(12) Official report on patent publication (A)  
(11) Publication number: 8-130706  
(43) Date of publication of application: 21.05.1996  
(51) Int.Cl. H04N 5/92 G11B 20/10 G11B 20/12  
H04N 7/30  
(21) Application number: 6-266543  
(22) Date of filing: 31.10.1994  
(71) Applicant: Hitachi LTD  
(72) Inventor: Hatanaka Yuji, Okamoto Hiroo, Saito  
Seiichi, Takahashi Susumu  
(54) Title of the invention: Digital signal recording and  
reproducing device  
(57) Abstract:  
Purpose: To perform an operation only by a frame  
cycle without being influenced by a track period in a  
picture compression and expansion system by applying  
the frame synchronization of a signal processing  
system to recording frame synchronization signals  
generated in the picture compression and expansion  
system and generating the track period signals of the  
period of the I/N further.  
Constitution: Processings such as quantization and bit  
compression, etc., are performed by a picture  
compression circuit 2 to picture signals inputted to a  
compression and expansion circuit 30 and they are  
stored in a storage circuit 3.

The picture signals are read from the circuit 3 and passed through an interface circuit 4 and recording data 40 are sent to the interface circuit 6 of a signal processing circuit 31 along with a recording data clock 120. The data 40 inputted to the circuit 6 are stored in the storage circuit 7 once and then, a C2 parity 62 is added by an encoding circuit 9. At the time, the data 40 are inputted by a frame unit, however, the recording data inputted by respective track units are equally divided into ten in encoding. Thus, the operation is made possible only by the frame period without being influenced by the track period in the circuit 30.

### **[Claims]**

[Claim 1] A picture compression and extension system that compresses an inputted picture signal per image frame, and elongates a reproduced signal, a signal-processing system that divides into N track a signal for one frame compressed by the mentioned above picture compression and extension system, records on a track unit at a recording medium, reproduces the mentioned above recording medium and is outputted to the mentioned above picture compression and extension system. The digital signal recording and reproducing device and the mentioned above picture compression and extension system including an input means that inputs a picture signal, and an image compression means which processes a picture signal inputted by the mentioned above input means, and performs an

information compression, a record output interface means to output a recording frames synchronized signal which shows a head of a signal compressed by the mentioned above image compression means, and the mentioned above image frame to the mentioned above signal-processing system with a record signal clock, a reproduction input interface means to input a signal outputted from the mentioned above signal-processing system, consist of a picture expansion means which elongates a signal inputted by the mentioned above reproduction input interface means, and an output means that outputs an extension signal elongated by the mentioned above picture expansion means, and the mentioned above signal-processing system, a signal outputted from the mentioned above record output interface means and the mentioned above recording frames synchronized signal are inputted with the mentioned above record signal clock, a record input interface means to generate a track periodic signal of a cycle of  $1/N$  of the mentioned above frame period in sync with the mentioned above inputted recording frames synchronized signal, an encoding means that adds parity for error corrections to a signal inputted by the mentioned above record input interface means according to the mentioned above track periodic signal, a track number creating means that generates a track number according to the mentioned above track periodic signal, a recording device that records data in

which parity was added by the mentioned above encoding means according to the mentioned above track periodic signal, and the mentioned above track number on a recording medium, a reproduction means that reproduces the mentioned above recording medium to a track unit, and a track number detection means to detect the mentioned above track number from a signal reproduced by the mentioned above reproduction means, a decoding means which performs an error correction of a signal reproduced by the mentioned above reproduction means, and a frame creating means that generates a reproduction frame synchronized signal which shows a head of a frame from the mentioned above detected track number, a reproducing output interface means that outputs a signal corrected by the mentioned above decoding means, and the mentioned above reproduction frame synchronized signal to the mentioned above picture compression and extension system with a reproducing-signal clock.

[Claim 2] The digital signal recording and reproducing device that forms 1 communication block from an L byte (L is natural number) +A byte (A is zero or more integers and is fixed length or variable length), and transmits M communication block (M is a natural number) by front stuffing in the mentioned above one frame, in claim 1, a signal outputted from the mentioned above record output interface means or a

signal outputted from the mentioned above reproducing output interface means.

[Claim 3] The digital signal recording and reproducing device with which the mentioned above record output interface means or the mentioned above reproducing output interface means outputs a block synchronizing signal which shows a head of a first half communication block in claim 1 or 2.

[Claim 4] The picture compression and extension system that compresses into K bytes (K is a natural number) a picture signal inputted in the first mode per image frame, compresses into 2x K bytes a picture signal inputted in the second mode per image frame, and elongates a reproduced signal. A signal for one frame compressed by the mentioned above picture compression and extension system in the mentioned above first mode, dividing into one line and N track (N is a natural number), and it records on a track unit at a recording medium, a signal-processing system that divides into two lines and a 2xN track a signal for one frame compressed by the mentioned above picture compression and extension system in the mentioned above second mode, records it on a track unit at a recording medium, reproduces the mentioned above recording medium, and is outputted to the mentioned above picture compression and extension system. The digital signal recording and reproducing device and the mentioned above picture compression and extension

system, outputting a recording frames synchronized signal which indicates heads of the mentioned above image frame to be an input means which inputs a picture signal, and an image compression means that processes a picture signal inputted by the mentioned above input means, and performs an information compression, and with a record signal clock. A signal compressed by the mentioned above image compression means in the mentioned above first mode is outputted on the first frequency, a record output interface means to output the first system signals and second system signals for a signal compressed by the mentioned above image compression means by turns with the frequency twice the second frequency of the first in the mentioned above second mode, a reproduction input interface means to input a signal outputted from the mentioned above signal-processing system, a picture expansion means that elongates a signal inputted by the mentioned above reproduction input interface means, and an output means which outputs an extension signal elongated by the mentioned above picture expansion means, and the mentioned above signal-processing system, a track periodic signal of a cycle of  $1/N$  of the mentioned above frame period which inputted a signal outputted from the mentioned above record output interface means and the mentioned above recording frames synchronized signal with the mentioned above record signal clock, and

synchronized with the mentioned above inputted recording frames synchronized signal is generated, outputting a signal inputted in the mentioned above first mode on the mentioned above first frequency as the first system signals as it is, and the mentioned above first system signals and the mentioned above second system signals are separated by turns in the mentioned above second mode, a record input interface means to output on the first frequency, respectively, the first and the second encoding means that add parity for error corrections to a signal inputted by the mentioned above record input interface means according to the mentioned above track periodic signal, the first and second track number creating means that generate a track number according to the mentioned above track periodic signal, the first and the second recording device which recording data in which parity was added by the mentioned above first and the second encoding means according to the mentioned above track periodic signal, and the mentioned above track number on a recording medium, the first and the second reproduction means that reproduce the mentioned above recording medium to a track unit, first and second track number detection means to detect the mentioned above track number from a signal reproduced by the mentioned above first and the second reproduction means, the first and the second decoding means that perform an error correction of a

signal reproduced by the mentioned above first and the second reproduction means, a frame creating means which generates a reproduction frame synchronized signal which shows a head of a frame from the mentioned above detected track number, and the mentioned above reproduction frame synchronized signal are outputted, a signal corrected by the mentioned above first decoding means in the mentioned above first mode with a reproducing-signal clock is outputted on the mentioned above first frequency or the 3rd frequency as it is, it consists of a reproducing output interface means that outputs by turns a signal corrected by the mentioned above first decoding means, and a signal corrected by the mentioned above second decoding means to the mentioned above picture compression and extension system on the mentioned above second frequency or the mentioned above frequency twice the 4th frequency of the 3rd in the mentioned above second mode.

[Claim 5] The digital signal recording and reproducing device that provides the second register that operates in a standup of an output of an inverting means which reverses the polarity of the mentioned above dividing clock, and the mentioned above inverting means, and makes the mentioned above second register the mentioned above first system signals for the mentioned above first register with the mentioned above second

system signals, in claim 4, the mentioned above record input interface means, a dividing means to carry out 2 dividing of the mentioned above record signal clock of the same frequency as an inputted signal, and to generate 2 dividing clocks, the first register that operates in a standup of the mentioned above record signal clock in the mentioned above first mode, and operates in a standup of the mentioned above dividing clock in the mentioned above second mode.

[Claim 6] The digital signal recording and reproducing device in which the mentioned above selecting means chooses the mentioned above first register in the mentioned above first mode, chooses the mentioned above first register in the mentioned above second mode when the mentioned above dividing clock is H or L, and chooses the mentioned above second register when the mentioned above dividing clock is L or H, in claim 4, the mentioned above reproducing output interface means, a dividing means to carry out the bisection circumference of the mentioned above reproducing-signal clock of the same frequency as a signal to output, and to generate a bisection circumference clock, the first register that operates in a standup of the mentioned above reproducing-signal clock in the mentioned above first mode, and operates in a standup of the mentioned above dividing clock in the mentioned above second mode, an inverting means that reverses the polarity of the mentioned above

dividing clock, and the second register that operates in a standup of an output of the mentioned above inverting means, a selecting means which chooses an output of the mentioned above first register or one of the mentioned above second register is established.

[Claim 7] A picture compression and extension system that divides an inputted picture signal of a frame unit into M blocks (M is a natural number), compresses it, and elongates a reproduced signal. A signal-processing system that divides into N track (N is a natural number) a signal for one frame compressed by the mentioned above picture compression and extension system, records on a track unit at a recording medium, reproduces the mentioned above recording medium, and is outputted to the mentioned above picture compression and extension system.

The digital signal recording and reproducing device and the mentioned above picture compression and extension system, a reproduction input interface means to input a signal outputted from the mentioned above signal-processing system, a picture expansion means that elongates a signal inputted by the mentioned above reproduction input interface means, and an output means that outputs an extension signal elongated by the mentioned above picture expansion means, and the mentioned above signal-processing system, a reproduction means that reproduces the mentioned above recording medium to a track unit, and

a decoding means which performs an error correction of a reproducing signal reproduced by the mentioned above reproduction means, a flag detection means to count a signal number made impossible correction by an error number or a first half decoding means of a reproducing signal detected by a first half decoding means, a memory means that stores a signal corrected by the mentioned above decoding means, and a concealed means that transposes a signal read from the mentioned above memory means to a signal before at least one mentioned above memory means stores per the mentioned above block unit or the mentioned above frame, it consists of a reproducing output interface means that outputs a signal replaced by the mentioned above concealed means to the mentioned above picture compression and extension system, after transposing a signal of the mentioned above whole block including a signal made impossible correction by the mentioned above decoding means according to the mentioned above flag detection means or the mentioned above whole frame to a signal of at least one frame ago, elongation processing is performed by the mentioned above picture expansion means.

[Claim 8] The digital signal recording and reproducing device that transposes the mentioned above whole frame including a signal carried out to the ability of the mentioned above concealed means not to be corrected by the mentioned above decoding means when an error

number of the mentioned above reproducing signal judged it as size from a predetermined number by the mentioned above flag detection means to a signal of at least one frame ago, in claim 7, when an error number of the mentioned above reproducing signal judges it as smallness from a predetermined number by the mentioned above flag detection means, the mentioned above whole block including a signal carried out to the ability of the mentioned above concealed means not to be corrected by the mentioned above decoding means is transposed to a signal of the same block at least one frame ago.

[Claim 9] The digital signal recording and reproducing device made to suspend operation of the mentioned above frame address creating means when transposing the mentioned above whole frame including a signal made impossible correction by the mentioned above decoding means to a signal of at least one frame ago, in claim 7 or 8, establishing a read-out frame address creating means of the mentioned above memory means, and the mentioned above concealed means, when transposing the mentioned above whole block including a signal made impossible correction by the mentioned above decoding means to a signal of the same block at least one frame ago, the mentioned above frame address is reversed.

## **[Detailed description of the invention]**

**[0001]**

[Industrial application] This invention relates to the record reproduction of a digital information signal and relates to suitable digital information recording playback equipment to carry out record reproduction of the digital image signal compressed especially by one-channel record reproduction or two channels.

**[0002]**

[Description of the prior art] It is considered as the device that carries out record reproduction of the digital image signal, and there is a home digital video tape recorder which is in 115 - 122 pages of «Nikkei electronics» (1993.10.11) statement.

[0003] In a home digital video tape recorder, in order to attain the miniaturization of a tape and to decrease the amount of recorded information, it records by compressing a picture signal. When compressing, the data volume per frame is set constant, and this is divided into ten tracks and recorded.

**[0004]**

[Problems to be solved by the invention] It is divided into the compression and extension system which performs compression and extension of a picture signal, and the signal-processing system that performs error correction processing, abnormal-conditions recovery processing, etc. in the mentioned above home digital video tape recorder.

[0005] By a compression and extension system, although operated per frame of a picture, in a signal-processing system, it operates by a track unit. As described above, it is 1 frame = 10 tracks, but it is not taken into consideration about the synchronization method of a frame versus this track, the interface of data, etc.

[0006] It was not taken into consideration about the processing to the data whose error correction was made impossible in the digital disposal circuit, namely, error concealed, at the time of reproduction.

[0007] The purpose according to this invention is to aim at the interface of a frame versus the track of the compression and expansion circuit in a home digital video tape recorder and a digital disposal circuit.

[0008] It is in realizing error concealed when the ability not to correct in a small-scale circuit.

[0009]

[Means for solving the problem] In a device that consists of a picture compression and extension system and a signal-processing system in order to achieve the mentioned above purpose, an input means that inputs a picture signal, and an image compression means that processes a picture signal inputted by the mentioned above input means, and performs an information compression, a record output interface means to output a recording frames synchronized signal that shows a head of a signal compressed by the mentioned above

image compression means, and the mentioned above image frame to the mentioned above signal-processing system with a record signal clock, a reproduction input interface means to input a signal outputted from the mentioned above signal-processing system, a picture expansion means that elongates a signal inputted by the mentioned above reproduction input interface means, an output means which outputs an extension signal elongated by the mentioned above picture expansion means, a signal outputted from the mentioned above record output interface means, and the mentioned above recording frames synchronized signal are inputted with the mentioned above record signal clock, a record input interface means to generate a track periodic signal of a cycle of  $1/N$  of the mentioned above frame period in sync with the mentioned above inputted recording frames synchronized signal, an encoding means that adds parity for error corrections to a signal inputted by the mentioned above record input interface means according to the mentioned above track periodic signal, and a track number generating means that generates a track number according to the mentioned above track periodic signal, a recording device which records data in which parity was added by the mentioned above encoding means according to the mentioned above track periodic signal, and the mentioned above track number on a recording

medium, a reproduction means that reproduces the mentioned above recording medium to a track unit, and a track number detection means to detect the mentioned above track number from a signal reproduced by the mentioned above reproduction means, a decoding means that performs an error correction of a signal reproduced by the mentioned above reproduction means and a frame creating means that generates a reproduction frame synchronized signal which shows a head of a frame from the mentioned above detected track number, what is necessary is just to establish a reproducing output interface means that outputs a signal corrected by the mentioned above decoding means, and the mentioned above reproduction frame synchronized signal to the mentioned above picture compression and extension system with a clock for reproducing signals.

[0010] A flag detection means to count a signal number made impossible correction by an error number or the mentioned above decoding means of a reproducing signal detected by the above mentioned decoding means, what is necessary is just to form a memory means that stores a signal corrected by the mentioned above decoding means, and a concealed means that transposes a signal read from the mentioned above memory means to a signal before at least one mentioned above memory means stores per the

mentioned above block unit or the mentioned above frame.

[0011]

[Function] By the mentioned above composition, the frame synchronization of a signal-processing system starts the recording frames synchronized signal generated by the picture compression and extension system and the track periodic signal of the cycle of  $1/N$  of this frame period can be generated further. Thus, by a picture compression and extension system, it is not influenced by the track cycle, but operation becomes possible only with a frame period.

[0012] Since a track number is recordable on the basis of the inputted recording frames synchronized signal by a track number creating means, since this track number is detected at the time of reproduction and a frame head signal can be identified, it becomes possible from a signal-processing system to output a reproducing signal to a picture compression system per frame. Thus, like the time of record, by a picture compression and extension system, it is not influenced by the track cycle, but can operate only with a frame period.

[0013] By replacing with the signal of one frame ago per a block unit or frame by a signal-processing system at the time of correction impossible, before performing elongation processing, error concealed can be performed, there is no necessity of processing

maintenance of a correction impossible flag, etc., and it can perform in a very small-scale circuit.

[0014]

[Example] Next, the example according to this invention is described using a drawing.

[0015] Drawing 1 is a block diagram of the digital video tape recorder for home use by this invention.

[0016] In the drawing, 11 is a recording amplifier, 12 is a switch, 13 is a playback amplifier, 14 is a rotary head, 15 is a magnetic tape, 30 is a picture compression and expansion circuit, 31 is a digital disposal circuit, 301 is an audio input terminal and 303 is an audio output terminals.

[0017] Drawing 2 shows the record track format on the magnetic tape 15. Sound area, and 51, 53 are image area 50, 52, and a sound and a picture are recorded on a different field, respectively.

[0018] Drawing 3 (a) is a block format of the sound area 50, 52 and (b) is a block format of the image area 51, 53. Also, sound area and image area are making the common block structure, 2 bytes of synchronized signal 60 or 66, 77 bytes of signal 65 or 71, ID61 or 67 which have information, including a block address, etc., 8 bytes for error correction, 90 bytes of C1 parity 63 or 69, 1 block is formed. Sound area includes 14 blocks of the 9 blocks audio signal 65 and the 5 blocks of C2 parity 62. As for the sound auxiliary signal 64, information, including a sampling frequency etc., is

recorded. Image area includes a total of 149 blocks, picture auxiliary signal 70 or 72 of 3 blocks, picture signal 71 of 135 blocks, the C2 parity 68 of 11 blocks. [0019] Record reproduction operation of this device is explained using drawing 1.

[0020] At the time of record, quantization, bit compression, etc. are processed by the picture compression circuit 2 and the picture signal inputted into the image signal input terminal 1 of the compression and expansion circuit 30 is stored in the storage circuit 3. A picture signal is read from the storage circuit 3, and the recording data 40 is sent to the interface circuitry 6 of the digital disposal circuit 31 with the recording data clock 120 by the interface circuitry 4. The interface circuitry 4 also outputs the recording frames synchronized signal 41 that shows the head of each frame of the recording data 40, as shown on drawing 4.

[0021] The frame synchronization circuit 5 detects the recording frames synchronized signal 41, the head of a frame is recognized and the memory address to the storage circuit 7 of the recording data 40 is controlled by the digital disposal circuit 31. The track timing which the digital disposal circuit 31 has is simultaneously synchronized with the recording frames synchronized signal 41, the track synchronized signal 45 of 1 / 5 frame periods is generated using the recording data clock 120 and operation of the encoding

circuit 9, the modulation circuit 10 and the rotary head 14 is controlled. Thus, it becomes possible to synchronize thoroughly the frame period of a picture signal and the track cycle of a digital disposal circuit. [0022] Once the recording data 40 inputted into the interface circuitry 6 is stored in the storage circuit 7, the C2 parity 62 is added by the encoding circuit 9. Under the present circumstances, as shown on drawing 4, the recording data 40 is inputted per frame, but coding divides the inputted recording data into ten equally and is performed by each track unit. What is necessary is thus, to no longer be influenced by the track cycle and to operate only with a frame period in a compression and expansion circuit.

[0023] In this case, as shown on drawing 4 (a), after storing the data for one frame to the storage circuit 7, it may code, and as shown on drawing 4 (b), it may code by number track delay. The direction of (b) has the strong point with little capacity of the storage circuit 7.

[0024] After the audio signal inputted from the audio input terminal 301 is processed on the other hand in the sound input processing circuit 300 and the C2 parity 62 is added, the same processing as a picture signal is performed. C1 parity 63 and 69 is added by the encoding circuit 9 and it is sent to the modulation circuit 10.

[0025] The track number in each frame is generated based on the track synchronized signal 45 and it is sent to the modulation circuit 10 by the track number generating circuit 600.

[0026] In the modulation circuit 10, ID61 and 67 including the synchronized signals 60 and 66 and a track number are added to the signal with which parity was added, a modulation process is performed to it, and it is recorded on it by the magnetic tape 15 by the recording amplifier 11 and the switch 12 according to the track format of drawing 2.

[0027] At the time of playback, the record signal recorded on the magnetic tape 15 is played by the rotary head 14, and it is sent to the demodulator circuit 16 by the switch 12 and the playback amplifier 13. In the demodulator circuit 16, detection of recovery processing, the synchronized signal 60 and 66 is performed, it is sent to the decoder circuit 17 and C1 error correction of the block direction is performed using the C1 parity 69. The track number recorded on ID61 and 67 is detected in the track number detector circuit 601, and the head track in each frame is identified. By the frame period generating circuit 602, a reproduction frame cycle is generated and it sends to the interface circuit 20.

[0028] C2 error correction of C1 numerals and the direction which goes direct is further performed using the C2 parity 68, and the data reproduced in the image

area 51, 53 is stored in the storage circuit 18. A correction impossible flag is added to the block including the data of which correction was made impossible, and it stores to the storage circuit 18. When a signal is read from the storage circuit 18, it performs error concealed by transposing the data made impossible correction by the concealing circuit 19 at the decoder circuit 17 to the data of one frame ago per a block unit or frame. For this reason, the storage circuit 18 needs the storage capacity for 2 frames. [0029] The data 182 by which concealed one was carried out is sent to the interface circuitry 22 of the compression and expansion circuit 30 via the interface circuitry 20. As shown on drawing 5, like communication with the interface circuitry 4 of the compression and expansion circuit 30 and the interface circuitry 6 of the digital disposal circuit 31 at the time of record, from the reproduction frame cycle generated in the frame period generating circuit 602, the interface circuitry 20 generates and outputs the reproduction frame synchronized signal 43, informs the compression and expansion circuit 30 about the head of a frame, is a frame unit and transmits the reproducing data 42 to front stuffing. Thus, the compression and expansion circuit 30 is no longer influenced by the track cycle of the digital disposal circuit 31.

[0030] Next, elongation processing for returning the signal compressed in the picture compression circuit 2 is performed by the picture expanding circuit 24 and it is outputted from the picture signal output terminal 25. On the other hand, the data reproduced in the sound area 50, 52, C2 correction using the C2 parity 68 is performed by the sound response processing circuit 302 and interpolation processing is performed to the data detected as an error correction is impossible, from the sound signal output terminal 303, although not represented, with a D/A converter, it is changed into an analog signal or digital modulation is given, and it is outputted as a digital signal.

[0031] Although C1 processing of a picture signal and an audio signal and C2 processing of the picture signal were made to serve a double purpose and were performed by the encoding circuit 9 or the decoder circuit 17 in the mentioned above explanation, as shown on drawing 3, since code configurations differ, C1 and the image C2 are respectively different circuits, and may be performed for exclusive use.

[0032] Thus, by using the recording frames synchronized signal 41 and the reproduction frame synchronized signal 43, the compression and expansion circuit 30 operates with a frame period and the digital disposal circuit 31 is 1/5 time the track cycle of a frame period and it becomes possible to operate

synchronizing with a compression and expansion circuit.

[0033] Drawing 5 is the timing chart that shows the detailed example of the communication format of the compression and expansion circuit 30 and the digital disposal circuit 31. As shown on drawing 2, the picture signal 71 constitutes 1 block from 77 bytes. The mentioned above communication is also transmitted per 77 bytes. Also, it is good as a number that packs 77 bytes at a time, and does not necessarily transmit, adds the dummy data 128 in that case, for example, is easy to express with exponentiations of 2, such as 96 bytes, 112 bytes and 128 bytes. Block length can also be made variable by communicating the block synchronizing signals 121 and 127 that show the head of each block.

[0034] The block diagram in this case is shown on drawing 7. From the interface circuitry 4 of the compression and expansion circuit 30, at the time of record, the recording block synchronized signal 121 is sent to the frame synchronization circuit 5 of the digital disposal circuit 31 and it controls the writing address to the storage circuit 7 of the recording data 40. Conversely, from the interface circuitry 20 of the digital disposal circuit 31, at the time of reproduction, the recording block synchronized signal 126 is sent to the synchronous circuit 21 of the compression and

expansion circuit 30, and it controls the writing address to the storage circuit 23 of the reproducing data 42.

[0035] The mentioned above method does not transmit, after the compression and expansion circuit 30 at the time of record stores the compressed data to the storage circuit 3 by one frame for example, but when outputting sequentially from the data which compression finished, it becomes very effective. Thus, the storage capacity of the storage circuit 3 can be decreased.

[0036] Although the above explanation has described the case where one-channel record reproduction is carried out with 1 set of heads which counter, also in the two-channel record that performs record reproduction simultaneously with 2 sets of heads, it thinks in a main story rec/play student device. For example, it considers using for record of the high definition images in which one-channel record has a normal standard image, and two-channel record has one twice the amount of information of a normal standard image. In two-channel record, in drawing 2, record reproduction is performed with the head of group in which 50, 51 and 52, 53 are another as for the head of the same group.

[0037] Drawing 8 shows the block diagram of a recording and reproducing device in the case of carrying out two-channel record reproduction. In two-channel record, two channels distribute and a video

signal and an audio signal perform record reproduction.

[0038] At the time of record, the high definition images signal inputted from the image signal input terminal 1 is compressed by the picture compression circuit 2 to become the twice at the time of the compression in a normal standard image as many amount of information as this. Next, as shown on drawing 9, the data for every channel is transmitted for a recording data clock by turns as twice at the time of a standard as many frequency as this. In the drawing, An shows the data of one channel and Bn shows the data of the channel of another side. In the interface circuit 6 of the digital disposal circuit 31, it separates into two channels, and A channel data 140 is stored to the storage circuit 7, and B channel data 141 is stored to the storage circuit 400, respectively. Next, as for A channel, B channel is recorded by the separate head via the encoding circuit 401, the modulation circuit 402, and the recording amplifier 403 by the encoding circuit 9, the modulation circuit 10 and the recording amplifier 11. Also about a sound, from the sound input processing circuit 300, it is sent to the encoding circuit 9 and the encoding circuit 401 and two-channel record is performed.

[0039] As for A channel, the reproducing signal of two channels with which it was reproduced at the time of reproduction is sent to the interface circuit 20 by the

playback amplifier 13, the demodulator circuit 16, the decoder circuit 17, the storage circuit 18 and the concealing circuit 19, B channel is sent to the interface circuit 20 by the playback amplifier 404, the demodulator circuit 405, the decoder circuit 406, the storage circuit 407 and the concealing circuit 408. In the interface circuit 20, A channel reproducing data 160 and B channel reproducing data 161 are compounded, and it is outputted to the compression and expansion circuit 30 by one twice the frequency of a normal standard image alternately with A channel and B channel like the time of record.

[0040] Same processing shall be performed although the track number generating circuit 600, the track number detector circuit 601 and the frame period generating circuit 602 that were shown on drawing 1 and drawing 7 are not represented by drawing 8. In this case, both of track numbers may be recorded at the time of record and whichever of detection of only a piece channel or detection of both channels may be performed at the time of reproduction.

[0041] Drawing 10 is a block diagram of the portion that performs separation of 2 channels of the interface circuit 6 of the digital disposal circuit 31. In the drawing, the inverting circuit where 132 reverses polarity, and 133 and 134 are registers that operate in the standup of an input clock.

By inputting the recording block synchronized signal 121 in the edge detection circuit 130, the detection edge signal 125 shown on drawing 9 is generated, the phase of the frequency divider 131 that carries out the bisection circumference of the recording data clock 120 is controlled, and the bisection circumference clock 124 is obtained. When the selection circuitry 135 chooses this bisection circumference clock 124, the register 133 latches the recording data 123 in the standup of the bisection circumference clock 124, and the register 134 latches the recording data 123 in falling of the bisection circumference clock 124 by the inverting circuit 132. Thus, the output of the register 133 can separate the output of the register 134 only from A channel data only A channel data.

[0042] On the other hand, at the time of a normal standard image, the selection circuitry 135 chooses the recording data clock 120 and only one output of the register 133 is recorded not using the output of the register 134.

[0043] Thus, when taking the move format of drawing 6 at the time of a normal standard image and taking the format of drawing 9 at the time of high definition images, it becomes possible to correspond to both easily in the circuit of drawing 10. The circuit of drawing 10 can be used also for the interface circuit 22 of a compression and expansion circuit.

[0044] Drawing 11 is a block diagram of the part that performs composition of 2 channels of the interface circuit 22 of the digital disposal circuit 31. In the drawing, the inverting circuit where 152 reverses polarity, and 153 and 154 are registers that operate in the standup of an input clock.

[0045] At the time of reproduction, a channel reproducing data 160 and B channel reproducing data 161 are inputted to the timing shown on drawing 12. The reproduction data clock 126 and recycled block synchronized signal 127 are generated in the timing generating circuit 150, the phase of the frequency divider 151 that carries out the bisection circumference of the reproduction data clock 126 is carried out control 154, and the reproduction bisection circumference way 162 is obtained. When the selection circuitry 156 chooses the reproduction bisection circumference way 162, the output of the register 154 becomes like the register 154 shown on drawing 12 by the register 153 that showed drawing 12 the output of the register 153, and the inverting circuit 152. By choosing the register 154 for the register 153 at the time of L, when the reproduction bisection circumference way 162 is H, the selection circuitry 155 becomes like the data 42 shown on drawing 12, and can consider the output as the same format as the recording data 123.

On the other hand, when the selection circuitry 156 chooses the reproduction data clock 126 and the selection circuitry 155 always chooses the register 153, it can be considered as the format of drawing 6 at the time of a normal standard image, and the correspondence of it to both is achieved easily.

[0046] By the way, since a picture signal is compressed and it is recording by the block unit in this device, only by having interpolated only correction impossible data or transposing to the data of 1 frame ago, when correction impossible arises in the decoder circuits 17 and 405, there is a problem to which processing which it becomes impossible to have performed normally elongation processing of the whole block including the data which the correction impossible produced, and was mistaken in the whole block will be performed. So, in this device, it can perform error concealed easily by transposing the whole block including the data which correction impossible produced or the whole frame to the data of one frame ago.

[0047] Drawing 13 shows the circuit diagram of the concealing circuits 19 and 407, it is an EOR circuit where 177 is an inverting circuit, 174 is an AND circuit, and 174 takes exclusive OR, and the output of EOR circuit 174 is connected to the frame address of the storage circuits 18 and 405. As shown on drawing 14, it precedes with the initial data of each block, the

correction impossible flag 180 is inputted into the flag detector circuit 170, and the block concealed signal 183 corresponding to the read-out timing of the block made impossible correction is generated. On the other hand, the frame period signal 184 is generated in the timing generating circuit 176, and the bank signal 186 that shows the frame address of the storage circuits 18 and 405 is acquired by the frame period generating circuit 172 by the gate circuit 171. By work of EOR circuit 174, when the block concealed signal 183 is H, in order that the bank signal 186 may be reversed, the frame address of the storage circuits 18 and 405 is reversed. When the capacity of the storage circuits 18 and 405 considers it as 2 frames, respectively, it turns to the data of each whole block of the signals 190, 191, and 192 which gave the slash among the reproducing data 182 replacing, and being outputted to the data of 1 frame ago. For this reason, since a block is independently processed in the case of the elongation processing performed in the picture expanding circuit 24, it becomes possible to acquire a good picture as an elongated picture.

[0048] Although it described the time comparatively with few data numbers that cannot be corrected, it will be necessary to replace the whole frame one frame ago, and the mentioned above explanation will need to output it, if a correction impossible number increases.

Next, when the correction impossible number in the C1 correction or the C2 correction performed by the decoder circuits 17 and 405 in the flag detector circuit 170 is counted and the specified quantity is exceeded, as shown on drawing 15, the flag detecting signal 185 is generated. In gate 171 circuit, when the flag detecting signal 185 is H, and the gate of the frame period signal 184 is carried out and it is made not to send to the frame period generating circuit 172, the bank signal 186 is the following frame which had many correction impossible numbers like drawing 15, and it changes so that it may not change. Since one frame is overdue and the reproducing data 182 is outputted to decoding processing, the frame address to the output timing of all the data of the frame which had many correction impossible numbers will be reversed. It is possible to send the data of 1 frame ago as it is, and freeze processing which projects the same screen continuously can be performed easily. AND circuit 174 is for preventing the frame address 181 being reversed under the influence of the block concealed signal 183 during this freeze processing.

[0049] When not using this invention, there is the necessity of keeping a correction impossible flag until after elongation processing and processing will be very difficult.

[0050] Serial transfer may be used although the above explanation had described as what transfers the recording data 40 and the reproducing data 42 in parallel. In this case, what is necessary is just to form a parallel/serial-conversion device or a serial/parallel-conversion device in each interface circuits 4, 6, 20, 22.

[0051]

[Effect of the invention] According to this invention, the frame synchronization of a signal-processing system starts the recording frames synchronized signal generated by the picture compression and extension system, and the track periodic signal of the cycle of  $1/N$  of this frame period can be generated further. Thus, by a picture compression and extension system, it is not influenced by the track cycle, but operation becomes possible only with a frame period. Since a track number is recordable on the basis of the inputted recording frames synchronized signal by a track number creating means, since this track number is detected at the time of reproduction and a frame head signal can be identified, it becomes possible from a signal-processing system to output a reproducing signal to a picture compression system per frame. Thus, like the time of record, by a picture compression and extension system, it is not influenced by the track cycle, but can operate only with a frame period.

[0052] At the time of two-channel record reproduction, separation composition of a signal can be easily performed by transmitting a signal by turns for every channel. By these, the good interface of a picture compression system and a signal-processing system is realizable.

[0053] By replacing with the signal of one frame ago per a block unit or frame by a signal-processing system at the time of correction impossible, before performing elongation processing, error concealed can be performed, there is no necessity of processing maintenance of a correction impossible flag, etc., and it can perform in a very small-scale circuit.

### **[Brief description of the drawings]**

[Drawing 1] is the block diagram of one example of the digital information recording playback equipment according to this invention.

[Drawing 2] is the explanatory view showing the track format of digital information recording playback equipment.

[Drawing 3] is the explanatory view showing the block format of digital information recording playback equipment.

[Drawing 4] is the timing chart of the communication at the time of record of the digital information recording playback equipment according to this invention.

[Drawing 5] is the timing chart of the communication at the time of reproduction of the digital information recording playback equipment according to this invention.

[Drawing 6] is the timing chart which shows the detailed communication timing of the digital information recording playback equipment according to this invention.

[Drawing 7] is the block diagram showing other examples of the digital information recording playback equipment according to this invention.

[Drawing 8] is the block diagram showing other examples of the digital information recording playback equipment according to this invention.

[Drawing 9] is the timing chart which shows the communication timing at the time of record of the device in drawing 8.

[Drawing 10] is the block diagram of the interface circuit 6 of drawing 8.

[Drawing 11] is the block diagram of the interface circuit 20 of drawing 8.

[Drawing 12] is the timing chart of the communication at the time of reproduction of drawing 8.

[Drawing 13] is the block diagram of the concealing circuit of drawing 1, drawing 7, drawing 8.

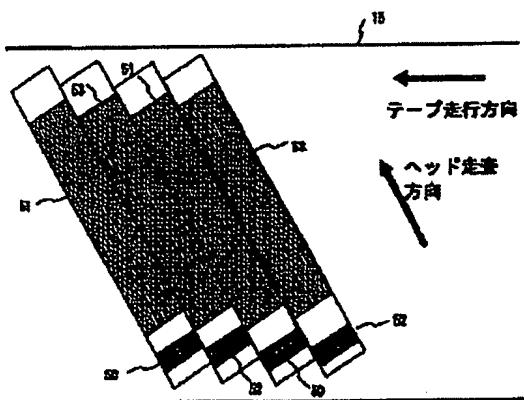
[Drawing 14] is the timing chart of the circuit of drawing 13.

[Drawing 15] is the timing chart of the circuit of drawing 13.

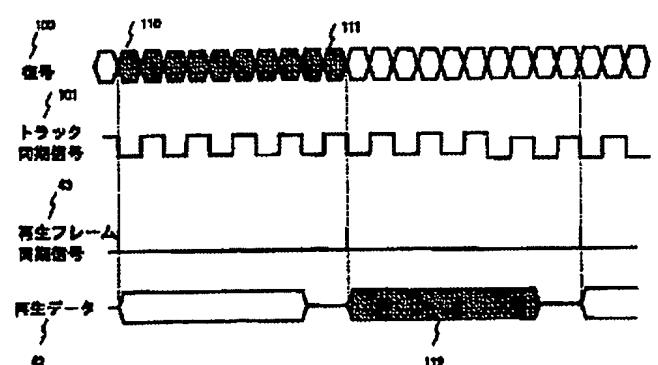
### [Description of numerals]

- 2... Picture compression circuit,
- 4... Interface circuit
- 6... Interface circuit
- 8... Track synchronous circuit
- 9... Encoding circuit
- 10... Modulation circuit
- 14... Rotary head
- 40... Recording data
- 41... Recording frames synchronized signal
- 120... Reproduction data clock
- 600... Track number generating circuit

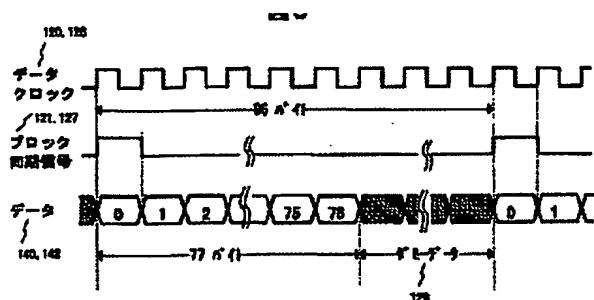
Drawing 2



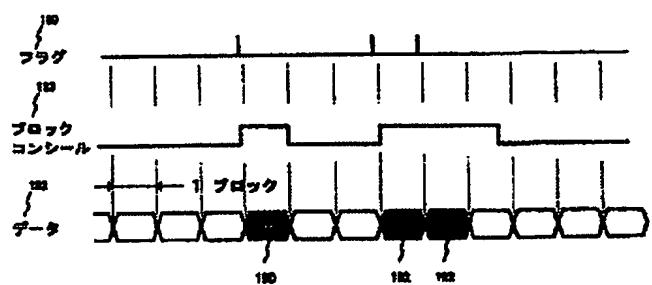
Drawing 5



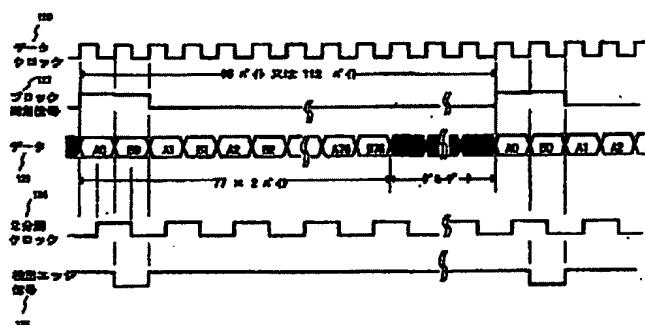
Drawing 6



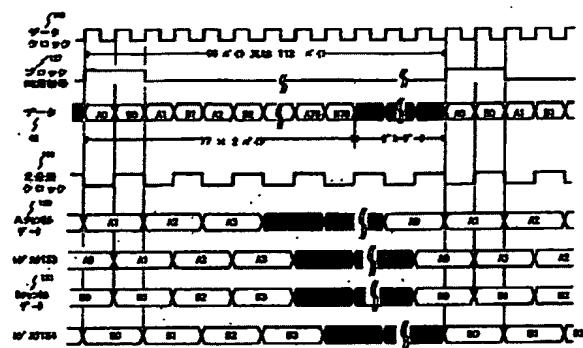
Drawing 14



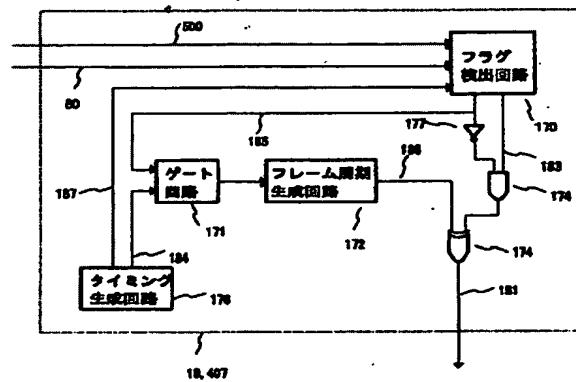
Drawing 9



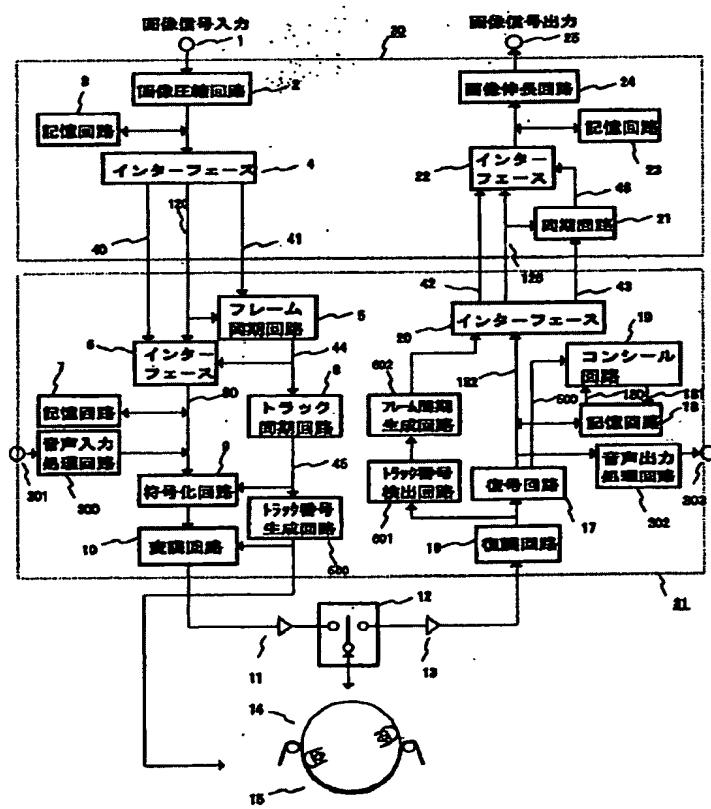
Drawing 12



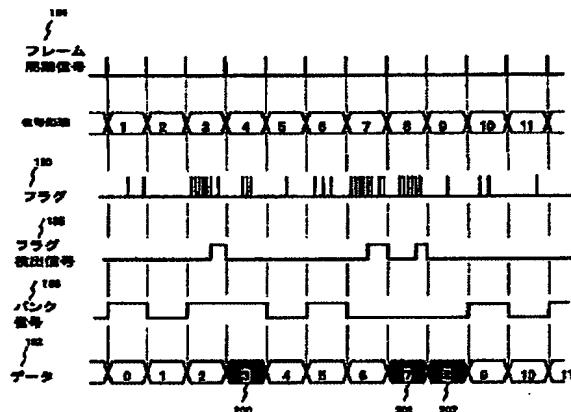
Drawing 13



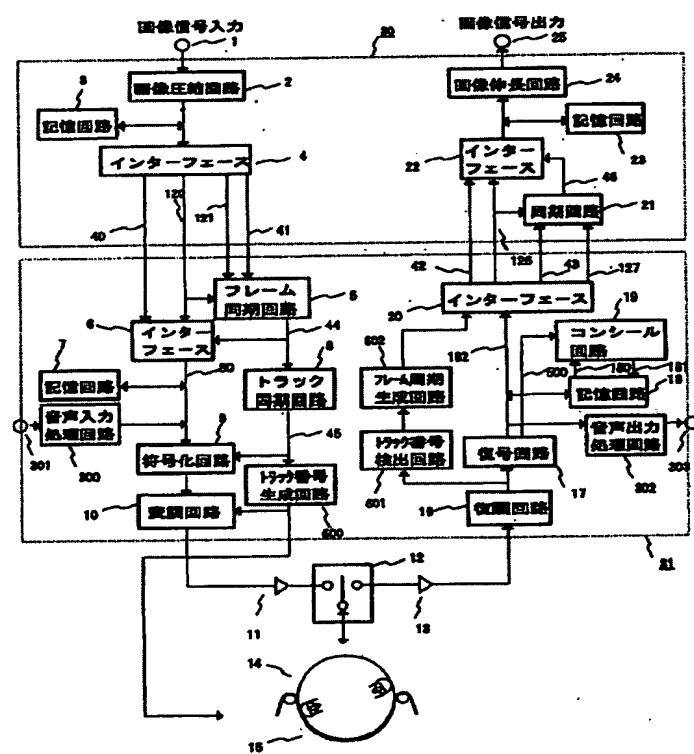
Drawing 1



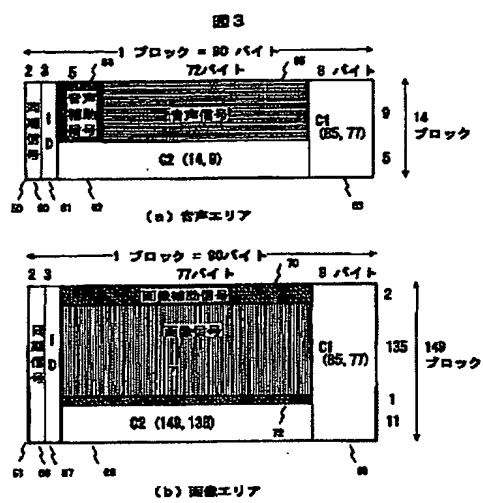
## Drawing 15



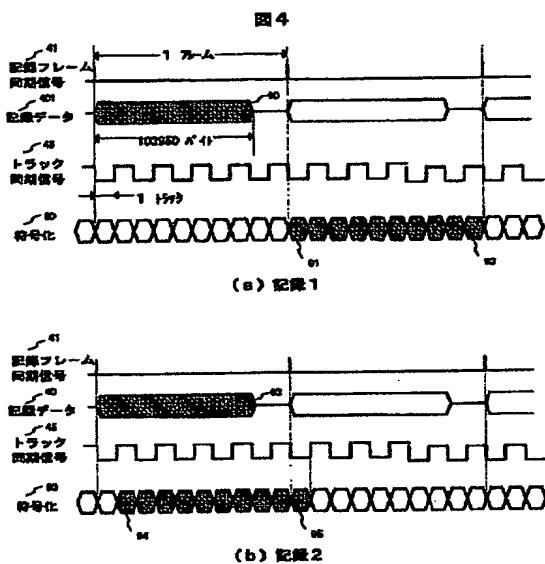
## Drawing 7



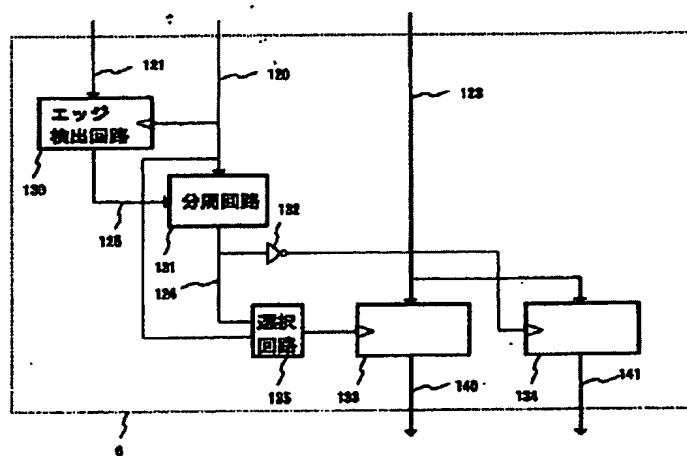
Drawing 3



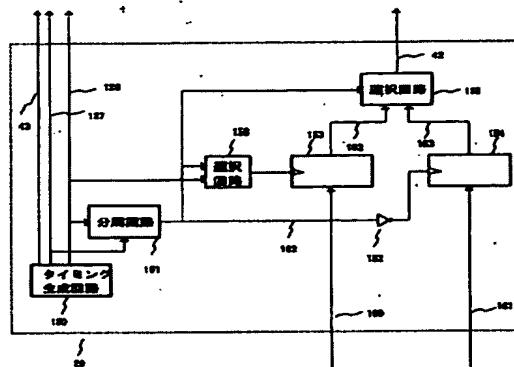
Drawing 4



Drawing 10



Drawing 11



Drawing 8

